

NEC

4Mビットの幕開けです。

トレンチ型メモリセルにさらに磨きをかけました。
高速動作、低消費電力そして
ライト／ビット機能など使いやすさも追求。
一歩先行くNECの4MビットDRAMです。

NEC 4Mビット DRAM

日本電気株式会社

お問い合わせは：半導体第一販売事業部、半導体第二販売事業部、半導体応用技術本部第一応用システム技術部
〒108 東京都港区芝五丁目29-11(日本電気住ビル) TEL (03) 456-6111(大代表)
半導体応用技術本部第二応用システム技術部 〒540 大阪市中央区城見一丁目4-24(日本電気関西ビル) TEL (06) 945-3383(ダイヤルイン)
半導体応用技術本部マイクロコンピュータメモリ技術部 〒210 川崎市幸区塚越3-484(川崎技術センター) TEL (044) 548-8890(ダイヤルイン)

PROCESSOR 1990 3月号 No.59

1990年2月4日発行 每月1回4日発行 通巻59号 昭和60年7月1日第3種郵便物認可
(発行所) 株式会社 技術評論社 〒160 東京都新宿区愛知町8番地8

定価七〇〇円(本体六八〇円)

特集／設計事故現場的攻略法
マイコンシステム技術者試験[中級]全問題と解答/[初級]合格者
高機能デバッガ[PARTNER-T]試用記
マルチアラーム・タイマの製作

トラブル

じゅうせつ

066-199→3
No 59

Shichimoku

このマイコンには、
語り合うべき素材の魅力が、
たくさんあります。



なるほど半蔵くん©1988 ASTEC ASSOCIATES

株式会社 日立製作所

★お問い合わせ・資料請求は=半導体事業部 TEL62 東京都新宿区揚場町2番1号(新丸ビル)電話(03)266-9376または
電子部品営業本部 TEL100東京都千代田区丸の内1丁目5番1号(新丸ビル)電話(03)212-1111(大代)●茨城電子部品営業所
(特販第2部)(0292)74-4011●横浜電子部品営業所(02873)6-3312●高崎電子部品営業所(0273)25-2161●多摩電子部品営
業所(0425)27-0410●横浜電子部品営業所(045)871-3929●松本電子部品営業所(0263)36-6632 または各支店の窓口●北海
道・情報システム営業部(011)261-3131●東北・電子OAシステム部(022)223-0121●横浜・沼津電子部品営業所(0559)51-3530
●北陸・金沢営業所(0762)63-2351●中部・電子機器部(052)562-1111●関西・電子機器部(06)261-1111●中国・産業電子部(082)
223-4111●四国・情報システム営業課(0878)31-2111●九州・電子・自動車グループ(092)741-1111

資料請求番号・1

HITACHI
技術の日立

MARCH
3
No.59

●特 集

プロセッサ

C · O · N · E · N · T · S

Cover 七戸優
Design 塩月千絵
Illustration 井戸尚美
棚沢順
塩月千絵

下間憲行

トラブル 設計事故現場的攻略法

- ①HS-CMOSの20ピン・バッファ、インバータに注意
- ②Z80 PIOのイニシャライズ方法に注意
- ③トランジスタのスイッチング速度に注意
- ④フォト・カプラの1次側インターフェースに注意
- ⑤フォト・カプラの出力インターフェースに注意
- ⑥74HCシリーズのインターフェースに注意

●試 験

1989年度マイクロコンピュータ応用システム開発技術者試験

- | | | |
|-----|-------------|--------------------------|
| 97 | [中級]全問題編 | 114 [中級]解答と解説編 上廣孝幸・麦田憲司 |
| 118 | [初級]試験合格者名簿 | |

●製作・解説

- | | | |
|-----|-----------------------|----------|
| 65 | マルチアラーム・タイマの製作 | 中野貴寛 |
| 91 | ハードウェア的FM16β改造講座 | STRANGER |
| 125 | これがUNIXツール(追補) | 星野操 |
| 129 | 高機能デバッガ[PARTNER-T]試用記 | 勝山尊生 |

●連 載

- | | | |
|-----|--------------------------------|-------|
| 46 | 高性能CPU V60のすべて⑦ | 佐野真理子 |
| 55 | GAL/PLDがあなたにも分かる② | 隈元研一 |
| 82 | MIDIシグナル・プロセッサ[TYPE-04] ③(最終回) | 古村隆明 |
| 122 | アルゴリズム・ノート⑯ | 北村利一 |

●読み物

- | | | |
|-----|---------------|-------|
| 44 | 新☆マイコン・ストリート⑭ | 大石次郎 |
| 121 | Coffee Break⑮ | 内野一太朗 |
| 147 | 米国文献情報 | 岩谷宏 |

●情 報

- | | | |
|-----|----------------|-------------------|
| 154 | Reader's Voice | 156 最新IC・LSIデータ速報 |
| 160 | 編集室 | 157 New Products |
| 25 | ディスク・サービスのお知らせ | 159 最新ツール情報 |
| | | 8 After Care |



日立マイクロコンピュータ
H8/500
シリーズ
H8/532 H8/520

資料請求券
プロセッサ
2/4
H8/500

これから歩き始めるボード・コンピュータのソフト開発に 優しく使える高機能ROM/RAMエミュレータ **RRE-1000**



ソフト開発では…
作成したソフトをターゲットボード上で実行し、
ソースの修正が必要ならばエディタを立ち上げ修正、
コンパイル(アセンブル)・リンクしなおして、
再度ターゲットボード上でテストする……。
と繰り返される、このサイクルの小さいことが重要です。
ICEで起動するたびに面倒な設定を繰り返すなんて……。
簡単操作で高機能なRRE-1000が、
効率の良いソフト開発を目指すあなたのお役に立ちます。

■ROM/RAM・エミュレーターRRE-1000の主な特徴
●64kビットから1024kビットまで対応 ●ROM/RAMのエミュレート可能 ●カレントアドレス機能 ●トリガーアドレスブレーク機能 ●トリガーアドレスバス出力機能 ●リセットコントロール出力機能 ●バイト/ワードモード対応 エミュレート用RAMのバックアップ ●各種モードをソフトで変更可能 ●各種モードをEEPROMに記憶 ●最高4台まで接続可能

■ウインドウ型インターフェースソフトRRE-98(RRE-IBM)の主な特徴
●カレントアドレスのオート表示機能 ●バイナリーファイルを含むファイルのダウン/アップロード機能 ●ファイルウィンドウ表示スクロールアップ/ダウン機能 ●ファイルセーブ機能 ●逆アセンブル機能 ●シンボル表示 ●画面のカラーカスタマイズ機能 ●ファンクションキー使用可能 ●ダイヤモンドカーソルキー使用可能 ●コマンド入力のヒストリー機能 ●MS-DOSコマンドの実行 ●MS-DOSのチャードプロセス実行
※注：モトローラSフォーマットのファイルを転送可能なユーティティ付属。

①逆アセンブラー・ソフトのCPU名
●Z80(64180)・8080(8085)・8051・8086(80186)・8096(8016)
6)(6809, 68000, 6502等検討中および一部作成中。
②IBM-PC(J-3100英語モード)
●IBM-PCまたは、J-3100(英語モード)のインターフェースソフト
RRE-IBM有り。

■製品構成と価格 好評につき価格値下げ実施!

RRE-1000モデル1 (本体のみ)	68,000円
RRE-1000モデル2 (本体のみ)	74,000円
PC-9801用インターフェースセット	10,000円
IBM-PC用インターフェースセット	20,000円
1MROM用プローブ (32pin)	5,000円
各CPU別逆アセンブルソフト (1本)	5,000円

●MS-DOSは米マイクロソフト社の登録商標です。

(資料請求番号・12)

設計
事例
故障

現場的

攻略法

マイコン/デジタル機器の設計/製作を行っていると、思わぬトラブルに遭遇することがしばしばあります。そんな場合、誰もがまずメーカーのマニュアルや雑誌の記事の類似事例を探しますが、それですんなりトラブルが解決することは稀でしょう。なぜなら世に出た設計/製作例のほとんどが完成されたものであり、完成へ至るまでの試行錯誤の過程はすべて省略されているのが普通だからです。

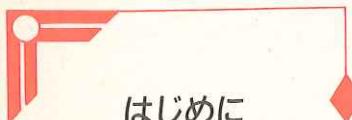
そこで本特集では現場で実際に遭遇した6つのトラブル事例を取り上げ、その解決法はもちろん「原因の推定」→「実験によるトラブルの再現」→「解決法の考察」というステップを順に踏み、トラブル解決へ至るまでのプロセスを解説します。

●第1章●

HS-CMOSの20ピン・バッファ、 インバータに注意

下間憲行

このレポートは「JUPITER NET」の「プロセッサ メールボックス」に'88年7月27日付で報告しました「体験的失敗談・己」の内容を実証するために実験したものです。



はじめに

ハイスピード(HS)CMOSタイプのロジックICが入手しやすくなつて、低消費電力化したハードの設計がずいぶん容易になってきました。つい最近まで、CMOS ICといえば4000Bシリーズがその代表的ファミリでしたが、「遅い」という最大の欠点のため「μs」以上の信号を扱う個所でしか利用できませんでした。

CMOS ICには

- ①電気を食わない
- ②熱を出さない
- ③動作できる電源電圧範囲が広い
- ④ノイズ・マージンが大きい
- ⑤入力インピーダンスが高い
- ⑥使用温度範囲が広い

などという、ハード設計者にとって捨てがたい魅力があります。74HCシリーズの出現で、4000Bシリーズではスピード不足のため使えないかったマイクロコンピュータの周辺回路にもCMOS ICが利用できるようになり、大幅な低消費電力設計が可能になりました。

近年、CPUそのものもCMOS化が進み、装置全体としての電源容量

がどんどん小さくなっています。バッテリ・オペレート可能なラップトップ・パソコンなどはその極致でしょう。その恩恵でしょうか、特殊なパーツを探さなくても一般に入手できるものだけで、電池で動くマイコン・システムを我々でも製作することができます。

しかし、LS-TTLで設計されている回路を、単純にHS-CMOSに置き換えてしまうと思わぬトラブルが生じることもあります。こんな経験をしましたので報告いたします。

経験したトラブル
(1)トラブルの背景

3年くらい前のことでしたが、あるマイコン・システムのインターフェースで、フォト・カプラを使った入力回路の2次側を抵抗でプルアップしたあと、コンデンサと抵抗による積分回路を使って、数ms程度入力信号をディレイさせていた回路

(■)がありました。制御対象となる機械に取り付けられたリミット・スイッチや光電センサ、操作用スイッチのチャタリング吸収とともに、シーケンサが出力する制御信号に載る

外乱ノイズの除去が目的です。

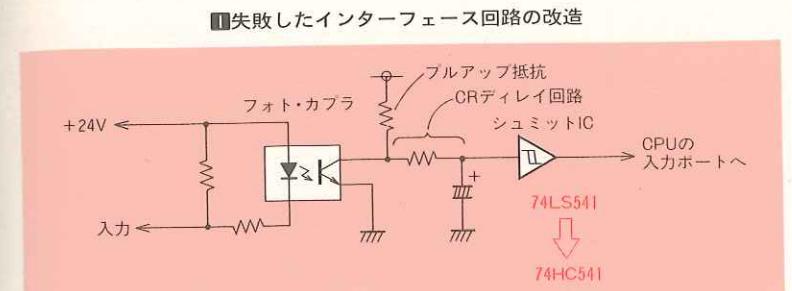
その受け側回路には、ヒステリシス入力を持つ20ピンのスリーステート・バッファIC 74LS541を数個使い、波形整形を行ったあとでCPUのI/O回路に接続しています。CPUがソフト的に読み取る信号が大部分ですが、中にはバッファの出力をダイレクトにカウンタICやフリップフロップなどのハードウェアに接続しているものもあります。

ここで使っている数個のLS541をHC541に交換すれば、5Vの電源電流を100mA以上減らせます。また、CMOSでは入力電流がほとんど流れずCRディレイ回路の直列抵抗を大きくできますから、同じ時定数を得るのにLS-TTLに比べて小さい値のコンデンサが使えます。

抵抗は値が変わっても同じ単価ですが、コンデンサの値は小さい方が少しだけですが安くなります。ケチるものが目的ではなかったのですが、電流消費を減らせるに魅せられて、深く考えずにLS541をHC541に置き換えてこの基板を製作しました。

(2)トラブル発生!!

ハードの組み立てが終り、電源電圧の確認や基本動作のチェックが済んだあと、模擬信号による動作テストをしたところ、一部の回路が誤動作していることが分かりました。しかし、ハード、ソフトともデバッグ済みの実績のある回路なので、



リント基板のパターン・ミスやソフトの虫など非常に考えにくい状況です。

ところが、異常動作の傾向を追いかけてみると、不可解な現象が起きています。ソフトでチャタリング吸収しながら読み込んでいる信号は、特に問題なく入力できているようです。操作スイッチによる動作指令などは、正常にマイコンが受け付けています。しかし、HC541の出力をカウントICやフリップフロップなどのハードウェアに直接つないでいる

信号が、軒並みアウトです。カウントの出力は全くデタラメな数値を表しています。

最初は部品の実装ミスかプリント・パターンのショート、あるいは切断程度を原因に考えていたのですが、目視チェックだけでは異常の理由を発見できませんでした。CPUからのアクセスが正常なだけに、ICそのものの不良を疑ったかったのですが、使用しているICの全部が不良という可能性は考えられません。

まずは、元の回路に戻してみようということで、HC541をLS541に交換してみました。すると、HC541で発生していた振動波形はピタリと治まります。やはり、原因是HC541にあるようです。

(3)犯人はHC541!?

誤動作しているカウントICの入力ピンをオシロスコープで見てビックリしました。フォト・カプラの入力信号が「H」から「L」、あるいは「L」から「H」に変化するたびに、数MHzの振動波形が観測されるのです。これでは、数十MHzを計測できるカウントICが誤動作するのは行きません。どうしようか悩んで

いるとき浮かんできたのが「HC541はシュミット入力ではないのか?」という疑問です。

改めてモトローラのデータブックを見ますと、ロジック図にはシュミット回路の記号が書かれているのですが、ICの動作説明にはヒステリシスのことは一言も触れられていません。さらに、他社の資料やCQ出版の最新CMOS IC規格表を見ますと、LS-TTLではシュミット入力になっている20ピンDIPのバッファやインバータは、HS-CMOSではなく普通の入力になっています。これではヒステリシスを期待して設計していた回路が誤動作するのは当たり前です。

参考にしたモトローラのデータブックが古かった(1983年版)のに加えて、標準ロジックという先入観にだまされてしまったのが原因のようです。実はこのデータブックでは、HC541や540のところは「Product Preview」となっており、正式にスペックが決定されているわけではありませんでした(2)。

たまたま、この中に紹介されていたロジック図に、ヒステリシスの記号が書かれていたのを安易に信じてしまふのが失敗の原因のようです。ロジック図のミスプリントかもしれません、データブックを作成したモトローラを責めるわけにもいきません。

同じデータブックでも、HC244や240のところは「Advance Information」としてスイッチング特性などのスペックがきちんと表になっています。TTLではこれらのICもヒステリシス特性を持つのですが、HS-CMOSではヒステリシス特性のことは全く触れられていませんし、ロジック図にもヒステリシスの記号は書かれていません。

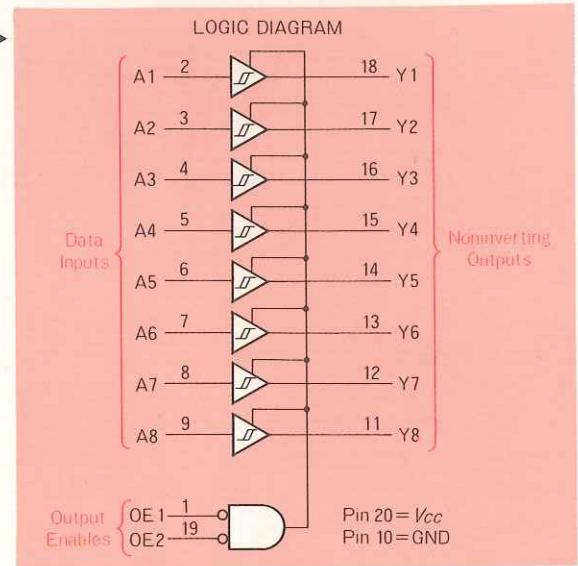
HS-CMOSシリーズでのシュミッ

ト・トリガ入力ICは、HC14とHC132の2つだけが一般的なようです。結局、この回路は元に戻して使うことにしても、HS-CMOSの採用は諦めました。この失敗は、私自身がこのICのデータをよく調べなかったことに原因があったのですが、早合点の恐さを思い知った次第です。

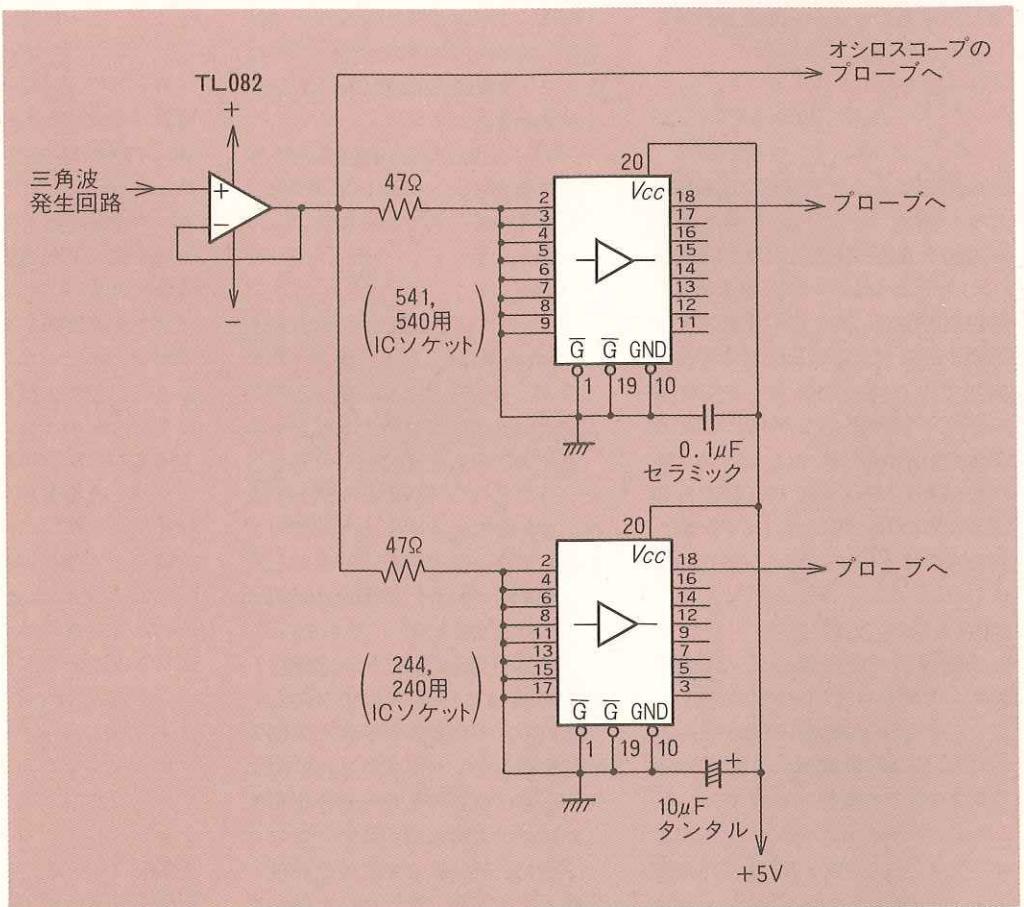
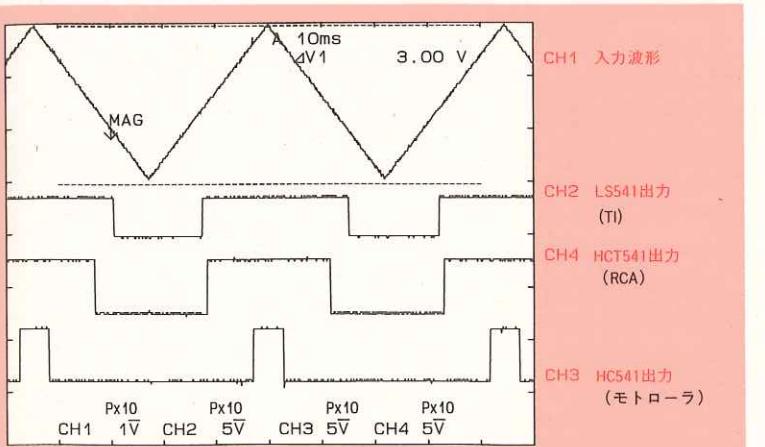
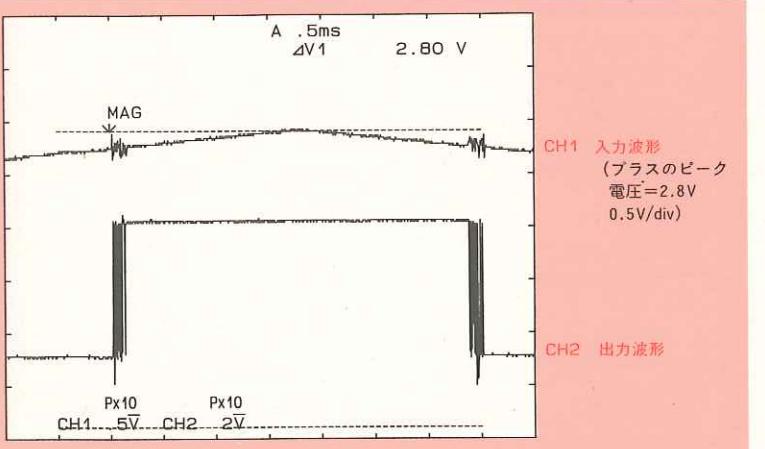
**実験**

その後、私が経験したHS-CMOSに関するトラブルを再現する実験を行ってみましたので、結果をレポートしたいと思います。なお、手元にあった部品を使いましたので、メー

②このロジック図を信じてしまった



③実験回路

**④スレッショルド・レベルの違い****⑤出力レベル変化点の拡大図(モトローラ製HC541)**

かごとの差や種類の違うICを細かく比較するところまでの実験はしていませんが、ご了承いただきたいと思います。

準備しましたのは、DC5Vの安定化電源(シリーズ・レギュレータ)とOPアンプを使った三角波発振器、それに20ピンのICソケットを小さいユニバーサル基板に取り付けて配線した試験用の回路(③)です。

記録は本誌'89年6月号の「仰天実験レポートストロボでマイコンが暴走」で紹介した、菊水電子のデジタル・オシロスコープCOM7101A

とローランドのX-YプロッタDXY-885を使って行いました。

(1)スレッショルド・レベルの違い

まず、ロジックICファミリの差によるスレッショルド・レベルの違いを見ていただきましょう(④)。CH1は三角波発振器でドライブされた入力電圧を示しています。およそ0Vから3Vの範囲を、45ms周期というゆっくりした時間で変化させました。MAGと記されているところがトリガ・ポイントで、CH2の立ち下がりエッジを捕らえています。

CH2がテキサスインストルメンツ(TI)製のLS541の出力波形、CH4がRCA製のHCT541の出力です。1.5V辺りにスレッショルド・レベルがあるのが見られます。またLS541には、立ち上がりと立ち下がりの入力電圧に少し違いがあるのが分かるでしょう。

これがヒステリシスで、
①一度“H”が確定した後は“H”になったレベルより少し低い入力電圧にならないと“L”に戻らない
あるいは、
②“L”になったときより少し高い電圧でないと“H”に変化しない
という動作をします。

CH3がモトローラ製のHC541で、電源電圧5Vのほぼ中央、2.5V付近にスレッショルド・レベルが来ています。HC541、HCT541とも出力の立ち上がりと立ち下がりのレベルがそれほどほとんど同じ電圧になっていて、ヒステリシスがないことをうかがわせています。

(2)変化点の波形

ここに示した時間軸(10ms/div)でCH3とCH4の出力波形を見る限り、なんら問題がないように思えますが、出力の変化点を拡大してみると(⑤)のようなグジグジが出力に見られます。CH1が入力波形、CH2が输出波形で、モトローラ製のHC541の出力を見ていて、電圧変化の周期はそのままで、入力スレッショルド電圧付近に入力電圧のピークが来るようになります。

ヒステリシスがないため、入力電圧のわずかな変化で出力が発振したようになっているのが分かるでしょう。前述のCRによるノイズ除去回路がうまく働かなかったのは、出力にこんな発振波形が出たためです。入力電圧にも雑音のようなものが見られるのは、出力が激しく振動したため、GNDラインや電源を通じて

発振器の出力に回り込んでしまったようです。

⑥に東芝製のHC540を使って、立ち上がりと立ち下がりエッジの部分だけを拡大したものを示します。オシロスコープのサンプリングをエンベロープ・モードにして記録しましたので、サンプリング・クロックより高い周波数成分を持つ波形の個所は、黒く塗りつぶされて表示されます。実際には10MHz程度の周波数で発振していました。

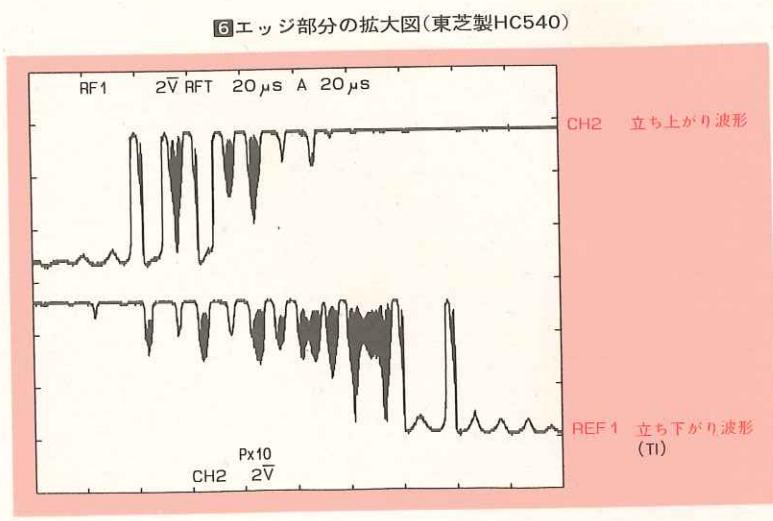
トラブルを経験した回路のように、こんな波形でカウンタICを駆動すると、とても正常な動作は望めません。誤動作するのは当たり前です。かろうじて、ソフトでチャタリング吸収していた入力回路だけが正常に働いていたように見えただけのようす。

HCTシリーズの場合

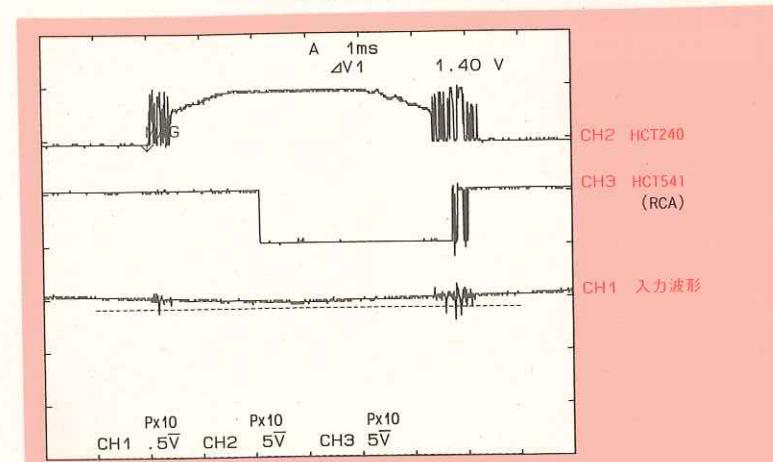
次に、メーカーの異なったHCTシリーズの出力波形を比べてみました。⑦のCH2がテキサス製のHCT240、CH3がRCA製のHCT541の波形です。CH1は入力波形で、0Vに近い方のマイナス側ピーク(ボトム)電圧をスレッショルド・レベルに合わせるように調整して観測しました。

同じHCTシリーズでも、メーカーが変われば出力波形の様子もずいぶん変わるもので、不思議なことに、RCA製のHCT541では出力の立ち下がりに発振波形が見られませんでした。立ち上がり側だけで、他のものと同じように発振していました。入力電圧の時間あたりの変化の具合にもよるのでしょうか。

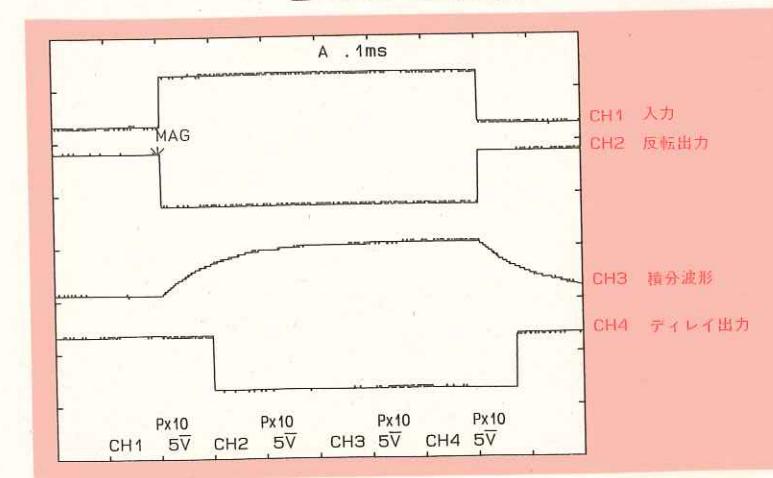
TI製のものは、変化点の“H”レベルがアナログ的に変化している様子が見られました。IC内部のゲインが他のものに比べて低いかもしれません。



⑥エッジ部分の拡大図(東芝製HC540)



⑦HCTシリーズの出力



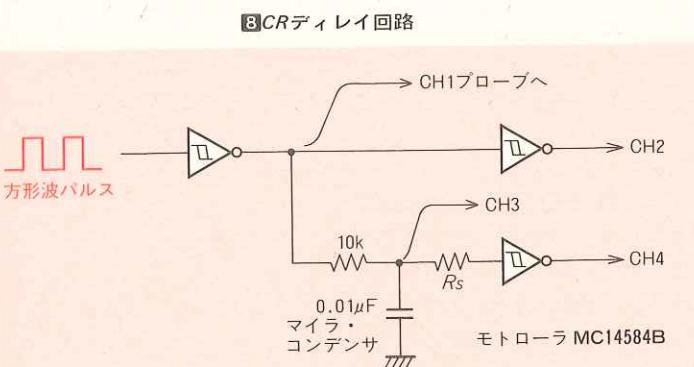
⑧CRディレイ回路の出力

ません。あくまでデジタル信号を入力として使うものなので、このようなデバイス特性を云々しても始まらないのですが、シビアな使用条件ではICメーカーにより差が出そうです。

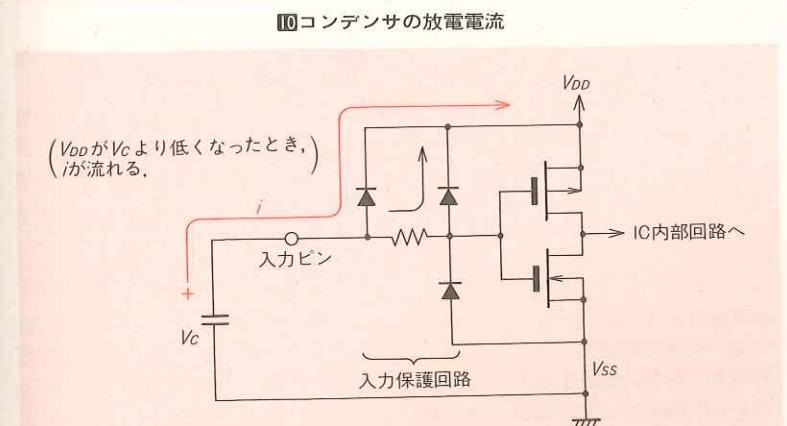
4000Bシリーズの場合

さらに、CMOSの4000Bシリーズでの代表的なシュミット・トリガIC、MC14584Bでも似たような問題を経験していますので実験してみました。これは、CMOS ICの入力保護のため、入力pinに直列に挿入した抵抗の値が不適切だったために生じたトラブルです。

さてこの回路の中で、ICの入力pinに対して直列に入れているRs



⑨CRディレイ回路



⑩コンデンサの放電電流

ですが、これは、回路電圧下降時にIC内部の入力保護用ダイオードを通じて、プラス側いっぱいまで充電されたコンデンサからの放電電流を、ICの最大定格以内に抑制するため付加したものです(⑩)。

一般に、4000BシリーズのCMOS ICは、入力pinの入力電流絶対最大定格として±10mAという値が決められています。もしノイズやサージなどの何らかの原因で、瞬時にせよこの値を超えていたとき、入力保護ダイオードの破損だけでなく、CMOSデバイス最大の弱点であるラッチアップが起こるかもしれませんよ、というものです。

もちろん電源電圧がそのまま0Vまですべて低下したときは、ラッチアップも起こりようがありませんが、気になるのは放電時の瞬時電流です。信号遅延のためのコンデンサの値が小さい場合は、放電エネルギーも小さいので、この抵抗を省略することが可能です。しかし、データブックを見ると、500pFを超えるような場合は保護抵抗を入れるようとの注意書きをしているメーカーもあります。

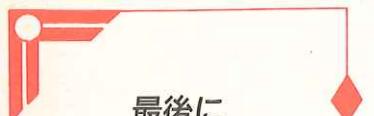
実際のところは、この保護抵抗を入れなくても十分実用に耐えるようです。この放電電流が原因でICがつぶれたということは今まで経験していませんが、10μF以上のコンデンサを使うような場合、保護抵抗を付けずに使うのはあまり気持ちのよいものではありません。

トラブルを経験したのは、この保護抵抗に抵抗なら何でもよからうと、Rsとして100kΩという大きな値のものを使ったときのことでした。この4584Bの出力につながったロジック回路が誤動作するのです。出力波形をオシロで見ますと、立ち上がりと立ち下がりのエッジで発振波形が観測されました。再現した様子を(⑪)

に示します。2MHz程度で発振している様子が見られるでしょう。

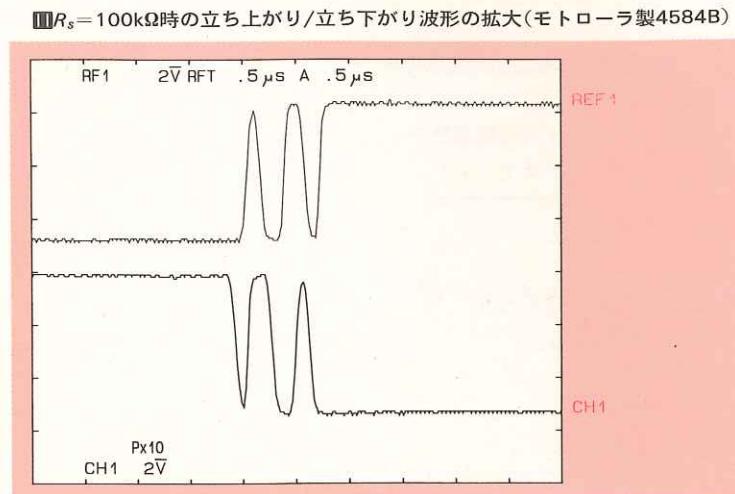
本来のディレイ時間に加えて、電流制限抵抗+ICの入力ストレイン・キャパシタンスによる時定数が競合して、シミュット・トリガ回路がうまく働かないようです。ICの入力ピンにオシロのプローブを当てたり、指で触るだけでこの発振はなくなってしまいますので、相当クリティカルなところで発振しているようです。

今回の実験では、 R_s をどんどん小さくしていくと徐々に発振している時間が短くなり、30kΩ前後で出力波形が安定するようになりました。本来の保護抵抗の役目とこの異常発振を考えると、数百Ωから数kΩまでの抵抗を選択するのがよさそうです。



最後に

今回の実験で、緩やかに変化する入力電圧をロジック・レベルにインターフェースするシミュット・トリガICでさえ、使い方を誤れば抵抗1本の値で誤動作してしまうことが分かりました。ヒステリシスを持たない普通のCMOSゲートICを使っての微分、積分回路や、エクスクルーシブORゲートを使った両エッジ・



ディテクタなど、その動作を再点検する必要がありそうです。

また、モノ/マルチやVCOなどのアナログ的要素を持つデジタルICは、比較的注意してデータブックを調べますが、標準ロジックICの場合にはTTLの経験がありますから、機能や動作をつい自分の記憶で判断してしまうことが多いです。低消費電力という特徴だけに目が引かれて、TTLで動作していた回路をピンコンパチ、機能コンパチということだけでHS-CMOSに置き換えてしまうと、私のようにとんでもないトラブルを抱えてしまうことになります。

参考文献

1. ハイスピードCMOSインテグレーテッドサーキットデータブック(1983年版)/モトローラ

も制限事項が見受けられません。また」と改めさせていただきます。

Prentice-Hall社をはじめ、関係者の皆様にご迷惑をおかけしたこと、深くお詫び申し上げます。

●特集第1部 第1章 4ページ column1

表中のディスク版MINIXの価格が「\$79.95」となっていますが、正しくは「\$108.00」です。

●特集第1部 第1章 5ページ

文中「私的個人間コピーも無条件に許可される」という記述ですが」との表現がありますが、日本語訳として不適当なため「私的個人間コピーに関する



お詫び
'90年2月号

•第2章•

Z80 PIOのイニシャライズ方法に注意

下問憲行

このレポートは「JUPITER NET」の「プロセッサメールボックス」に'89年3月27日付けで報告した「体験的失敗談・その11」の内容に関する実験です。

B両チャネルともビット・コントロール・モード(モード3)でイニシャルし、どちらも出力ポートとしてしか使わないという一番オーソドックスな使用方法です。

ソフトウェア的に見てもPIOは単なる出力ポートとしてしか使わず、STBやRDY信号は未使用で、それに割り込み信号の発生機能も使っていません。電源ONによる起動で、一度出力モードとしてイニシャルした後は、電源が落ちるまでずっとそのまま出力ポートとしてしかアクセスしないような使い方です。

この仕事はハードウェア設計から組み立て、プログラム作成、そしてデバッグまでを1人でこなす形で受注していましたが、それほど難しい仕様でもなかったので、気楽に考えていました。プリント基板の部品実装やケース内の配線もでき上がり、本格的なプログラミングの前段階として、まず、それぞれの回路ごとの動作テストから始めました。

CPUが関係する回路のテストとして、メモリ・アクセスやI/Oアドレスのマッピングが設計図面通り行われているのを確認した後、PIOの出力につながっている回路のチェックを始めました。ところが、ここで

思惑通り周辺回路をコントロールできません。

簡単なテスト。プログラムを書いてチェックを進めていたのですが、リストを見直してもソフトウェア的な異常は見つかりません。ほんの短いプログラムなので、ソフトよりハードの異常の疑いが濃いと判断して、PIO周辺回路のテスト・チェックを始めました。

当初、回路図面上のICピン番記入ミスやコネクタの配線間違いなどを疑ったのですが、CPUにつながっているバス周りも含めて正常でした。また、PIOのC/DセレクトやBAセレクト入力などのアドレス線やチップ・セレクトの接続間違いかと考えましたが、これも大丈夫です。何度も見直しても間違いが見つかりません。

そこで現象を単純化するため、PIOの初期設定をした後、データをインクリメントしながら出力を繰り返すだけの、単純なテスト・プログラムを書き足しました。PIOの両ポートが出力する信号をオシロスコープで見て、ダイナミックに現象をチェックしようと考えたのです。

するとどうでしょう、片方のポートだけ出力されていないことが判明しました。ポートは抵抗でブリッジされているので、「H」レベルに固定されたままです。CPUからの制御信号であるM1やIORQ, RDそれ

はじめに

16ビットCPU全盛の昨今、今さらZ80プログラミング上の注意を喚起しても仕方ないような気もするのですが、Z80 PIOのイニシャライズ方法について、つい最近気が付いたことがあります。雑誌や参考書、使用マニュアルに載っているのを見たことがないトラブルなのですが、すでにお気付きの方もおられると思います。少し、恥ずかしい思いをしながら報告させていただきます。

経験したトラブル

初めて私がこのトラブルを経験したのは、Z80をCPUとして使った簡単な装置のハードウェア・チェックを行っていたときのことでした。この装置で使っていたのはROMやRAM、他の周辺回路と共に、ソフトウェア的に入出力をプログラムできるI/Oポートとして、Z80 PIOがプリント基板上に1つだけ載っている極めて簡単な回路でした。

PIO周りの回路構成は、PIOのA,

■うまく行かなかったZ80 PIOのイニシャル

```

LD    A, #CFH      ; ビットセギョモード
OUT   (PIOAC), A
OUT   (PIOBC), A  ; (1)
; (2)

LD    A, #0        ; ゼロノビットラシゲリヨクニ
OUT   (PIOAC), A
OUT   (PIOBC), A  ; (3)
; (4)

LD    A, 7         ; リコミキシ
OUT   (PIOAC), A
OUT   (PIOBC), A  ; (5)
; (6)

```

にCEなど、PIOのコントロールに必要な信号はすべて正常に供給されています。

オシロで見ながら、出力していない方のポートの足を指で触れると、ハム(100Vの電源周波数=大阪ですので60Hz)が載るので、このポートが出力モードにイニシャルされないことが分かりました。

ここまで1人で黙々と作業を続けていたのですが、たまらず同僚にあれやこれやと相談し始めました。PIOの不良という意見もありましたが、「俺も経験がある」と言う声が上がりました。その同僚が言うのには、「AポートとBポートのイニシャルをゴッチャにしたらいいかん!」とのことです。

なるほど、うまく行かなかったテスト・プログラムのイニシャル・ルーチンを見ますと、AポートとBポートのイニシャル・データを交互にPIOに対しライトしています。同僚の言う通りに、A、Bポート別個にイニシャルすると確かにうまく行きます。

そのリストを①と②に示します。「PIOAC」と「PIOBC」というラベルがコントロール・レジスタのI/Oアドレスです。



実験

PIOのイニシャルがうまく行かなかった経験を実証するため、テスト

■うまく行ったZ80 PIOのイニシャル

```

LD    A, #CFH      ; Aポートビットセギョモード
OUT   (PIOAC), A
LD    A, #0        ; ゼロリヨクニシテイ
OUT   (PIOAC), A
LD    A, 7         ; リコミキシ
OUT   (PIOAC), A
; (2)
; (3)
; (4)
; (5)
; (6)

LD    A, #CFH      ; Bポートビットセギョモード
OUT   (PIOBC), A
LD    A, #0        ; ゼロリヨクニ
OUT   (PIOBC), A
LD    A, 7         ; リコミキシ
OUT   (PIOBC), A
; (2)
; (3)
; (4)
; (5)
; (6)

```

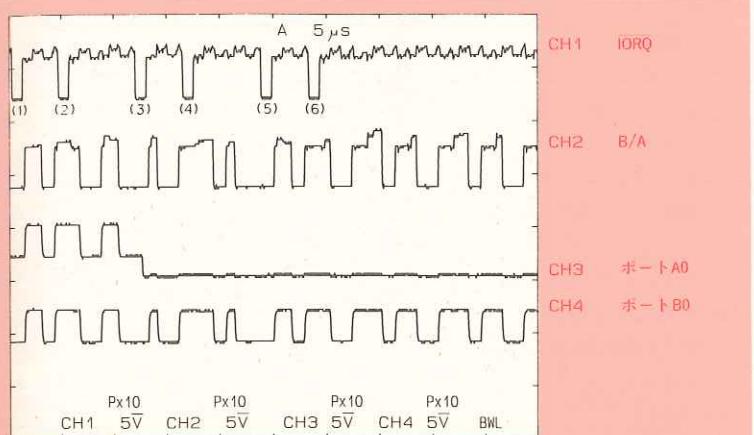
回路(③)を使ってその様子をオシロスコープで観測してみました。ポートが出力モードになっていないことを確認できるように、3.3kΩでプルアップした上で2.2kΩの抵抗を通してCPUのアドレス・バスの信号をつないでいます。

リセット直後のように、ポートが入力モードならバス波形がそのまま観測されますが、イニシャルが成功してポートが出力モードになると、レベルが“H”か“L”どちらかに固定されるはずです。実際にはPIOの“H”レベルが5Vより少し低いので、出力が“H”になってもバス波形がリップルのようになります。

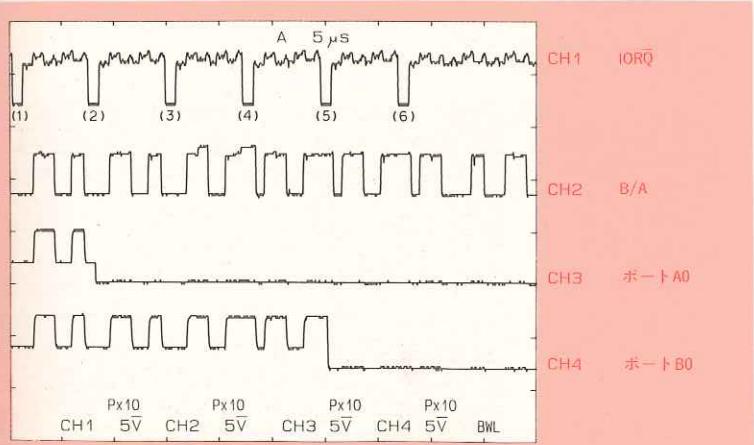
①のプログラムを走らせたときの様子が④です。デジタル・オシロスコープでサンプリングしてプロッタに出力しました。CH1がIORQ入力、CH2がB/A入力(=アドレス・バス0)、CH3がAポートのビット0、CH4がBポートのビット0を見ていています。CH2のレベルでどちらのポートをアクセスしたか判断できます。

(3)のI/Oライトのタイミングで、Aポートが出力にイニシャルされたのでCH3の波形が“L”レベルに確定しています。しかし、後でイニシャルしたBポートは、出力モードにならないのが分かること思います。このイニシャル手順では、イニシ

■失敗したイニシャル



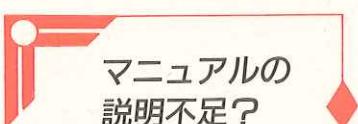
■正常なイニシャル



ャル・データの書き込みが後になつたBポートの方が出力モードにななりません。

試しに、AポートとBポートの順序を逆にしてみるとAポートのイニシャルが失敗しましたので、やはりゴッチャにしたイニシャル手順がいけないようです。

うまくイニシャルできる方のプログラム②を実行した様子を⑤に示します。PIOの入出力モードが確定する(2)と(5)のタイミングで、両ポートとも正常に出力モードになっています。



マニュアルの説明不足?

Z80の周辺チップを多く使ったシステムでは、イニシャル・データをテーブルにしておき「OTIR」命令を使って、一度に同じチップに対しイニシャル・データを書き込むという手法をよく使います。言われてみれば、うまく行かなかったゴッチャの手順でPIOをイニシャルしたのは初めてかな、という気もします。

しかし、汎用ICであるZ80 PIOに

こういうテクニックが入るとは誰が想像するでしょうか?

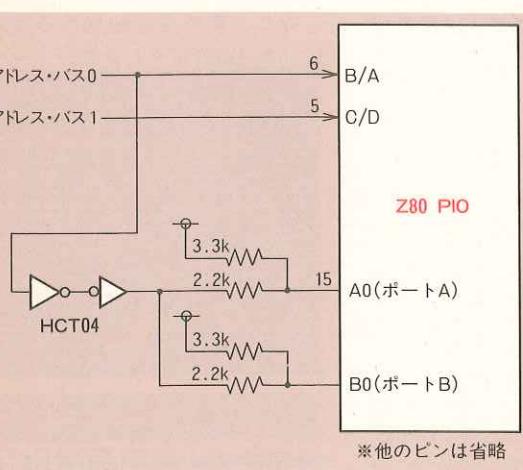
元来PIOは、A/Bセレクト入力により、2つの独立したI/Oポートとしてソフトウェア的にコントロールすることができます。特にモード3のビット・コントロール・モードで使う限り、1つのチップに別々のポートが2個入ったものだと考えることができます。入出力指定だけでなく、割り込みベクトルも独立した設定が可能です。

80系での汎用パラレルI/Oチップ(PPI)である8255のように、8ビットのI/Oポートを3つも持しながら、1つのコントロール・レジスタでポート全体としての動作モードを決定しなければならないものとは趣が異なります。

PIOではポートそのものに対するデータなのか、制御データなのかはC/Dセレクト入力で決定されます。そして当然ながらA、Bどちらのポートに対するものかの判断は、アドレス・バスにつないだB/Aセレクト入力の状態で行われます。双方向モード(モード2)のように特殊な場合でない限り、「Aポートへの書き込みはBポートに影響を与えない」あるいは逆に「Bポートへの書き込みはAポートに影響を与えない」とも言えるでしょうか。

失敗したイニシャル手順でも、最初のAポートに対するモード指定の直後に行っているBポートへのモード指定は、あくまでBポートに対するものであって、先に書き込みを始めたAポートやBポート自身には影響を与えないはず、と思いたいところです。確かにPIOのマニュアルには、「モード3を指定した場合、その次のコントロール・ワードで入出力指定を行わなければならない」ということが記してあります。

しかし、AポートとBポートを同



時にイニシャルするとき、どちらが先か後かはPIOの動作そのものに関係ないのでは、と考えるのが人情ではないでしょうか。ソフトウェア的に見て、イニシャル・データの順番さえ守れば、どのポートから初期設定を行ってもハードウェア的にはOKだと思いたいところなのですが、願望は残念ながらかなえてもらえませんでした。

「PIOの動作モード指定で、連続したデータの設定が要求される場合は、必ず同じポートのものを続けて書き込みしなければならない」という注意書きがPIOの使用説明書にでもあれば気を付けるとは思いますが、入出力指定に関しては前述の注意書きだけです。

モード3での割り込みマスクやAND/OR条件、「H」/「L」条件設定でも同様で「Mask Follows ビットを1にしたときは、次にマスク・ビットを書き込め」ということだけで、別のポートとゴッチャにイニシャルしたらダメだとはどこにも書かれていません。

この例のように、両ポートともモード3の出力ポートとして使う場合(同じイニシャルを行う)、「短いプログラム」にこだわる昔人間の私は、プログラムの命令バイト数がたとえ数バイトでも減らせるものなら、うまく行かなかつた方のプログラムをついつい書いてしまいます。

もっと大量のイニシャル・データを書き込まなければならない場合は、テーブルを使ってデータ転送するのが常ですが、今回はテスト・プログラムということもあって命令数を短くしようと、最初のプログラムを書いたわけです。こんなことで、今まで気付かなかつたPIO使用上の問題が浮かび上がってくるとは思いも掛けませんでした。

このことで同僚と話をしています

と、1人は「前に同じような経験をしたが「なぜ」かは追求せずに、ポートごと順番にイニシャルしたらうまく行ったのでこんなものだろうと思ってずっと使っている」と言いますし、もう1人は「ソフトウェア的にうまくイニシャルできないのでPIOは嫌いだ。新規の回路設計では使っていない」と言います。

どうやら私だけがこのトラブルを経験せずに今までPIOを使っていました。同僚の体験談にただただ感心するばかりでした。

イニシャル直後の出力

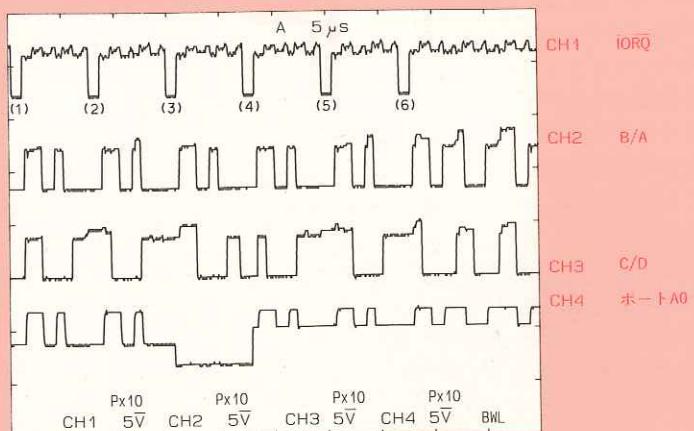
さて実験ついでに、リセットから

⑥ イニシャル前に出力データをセット

```
LD OUT A, 0FFH (PIOA), A ;データに "FF" ライト
LD OUT A, 0CFH (PIOAC), A ;モード3 フォロウ
LD OUT A, 0FH (PIOAC), A ;ゼンピット ニューリヨク
LD OUT A, 0FFH (PIOA), A ;シグリヨク データ "FF" ニ
LD OUT A, 0CFH (PIOAC), A ;2カイメノイニシャル
LD OUT A, 0FH (PIOAC), A ;シグリヨク ニシテ
NOP LD OUT A, 0FH (PIOA), A ;カニノタメデータラッシュ
LD OUT A, 0FH (PIOA), A ;(6)
```

イニシャル前のデータ・セット

▼7



イニシャルまでの過程で、PIOのポートがどう変化するか確認してみた。

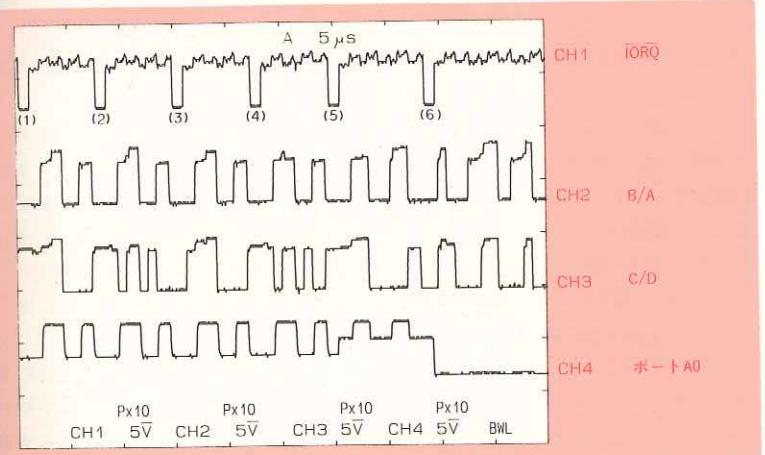
8255の場合は、ポートを出力モードにイニシャルすることによりその出力は必ずリセットされてしまい、ソフトウェア的に出入力方向を変化させる場合など「H」レベルを保持したい出力でもいったん「L」レベルのパルスが出てしまうので不都合が生じます。

68系のI/Oチップ(PIA=6821など)では、イニシャルに先立って出力データを書き込んでおくことにより、イニシャル後の出力レベルを固定化できるので、プルアップされたポートを「L」アクティブの出力として使用する場合に好都合です。

⑧ 「L」レベルを出力しないイニシャル方法

```
LD OUT A, 0CFH (PIOAC), A ;モード3 フォロウ
LD OUT A, 0FFH (PIOAC), A ;(1)
LD OUT A, 0CFH (PIOAC), A ;ゼンピット ニューリヨク
LD OUT A, 0FFH (PIOA), A ;(2)
LD OUT A, 0CFH (PIOAC), A ;シグリヨク データ "FF" ニ
LD OUT A, 0CFH (PIOAC), A ;(3)
LD OUT A, 0CFH (PIOAC), A ;モード3 フォロウ
LD OUT A, 0FH (PIOAC), A ;(4)
LD OUT A, 0FH (PIOAC), A ;シグリヨク ニシテ
LD OUT A, 0FH (PIOA), A ;(5)
NOP LD OUT A, 0FH (PIOA), A ;カニノタメデータラッシュ
LD OUT A, 0FH (PIOA), A ;(6)
```

イニシャルで「L」を出力させない
▼9



Z80 PIOの場合はどうなるでしょうか。この点に関しては、マニュアルや解説書にも詳しくは書かれていません。通常PIOはリセットにより両ポートとも入力状態となり、データ出力レジスタもクリアされます。このため、リセット後のイニシャルで出力モードにセットしたポートは「L」レベルになってしまいます。先ほどの⑤を見ても出力モードになった途端、「L」レベルのデータが出力されているのが分かります。

6821のように出力モードをセットする前の時点では、出力データを確定させることはできないのでしょうか? 以前から疑問に思っていたのか? このことで同僚と話をしています

ときの確認のため、イニシャルが終った(4)で「FF」をもう一度書き込んでいます。そして、ダメ押しとして再度出力モードにイニシャルしてみました。

実行結果のプロットを⑨に示します。CH1, 2は先ほどと同じでIORQ入力とB/A入力です。CH3はC/D入力でアドレス・バス1につなぎであります。CH4でAポートのビット0の変化を見ています。CH3に注目すると、データ・レジスタかコントロール・レジスタ、どちらをアクセスしているかの判断をすることが可能です。

せっかく実験してみましたが、結果はダメでした。(3)では「L」レベルが表れています。「H」レベルが確定しているのは(4)のタイミングでした。しかしよく見ると、2回目のイニシャルが終った直後(6)では出力が「L」になっていません。「H」レベルが保持されたままです。

ということは、2回目のイニシャルではデータ出力レジスタがクリアされていないことになります。どうやらまだ可能性が残されているようです。

イニシャル後の出力を確定させる

この実験で、2回目のイニシャルでは出力データが残っていることが分かったので、ちょっと試行錯誤してイニシャル後の出力レベルを確定させる方法を探ってみました。⑧に示すプログラムで一応成功したようです。実行結果を⑩に示します。

それでは、PIOのイニシャルで「L」レベルの信号を出力させないための手順を説明しましょう。まず、最初のモード3の設定で全ビットとも入力となるようにI/O選択レジスタをセットします[(1), (2)]。次の

ステップとしてデータ出力レジスタに対し“FF”を書き込み(3)、2回目のモード設定に備えます。この段階では、PIOのピンは入力状態でフローティングのままでです。

この後、2回目のモード設定を行い、各ビットを出力に指定します[(4)、(5)]。このとき(3)で書かれたデータがポートに表れるので、“L”レベルを出さずにPIOをイニシャルすることができます。

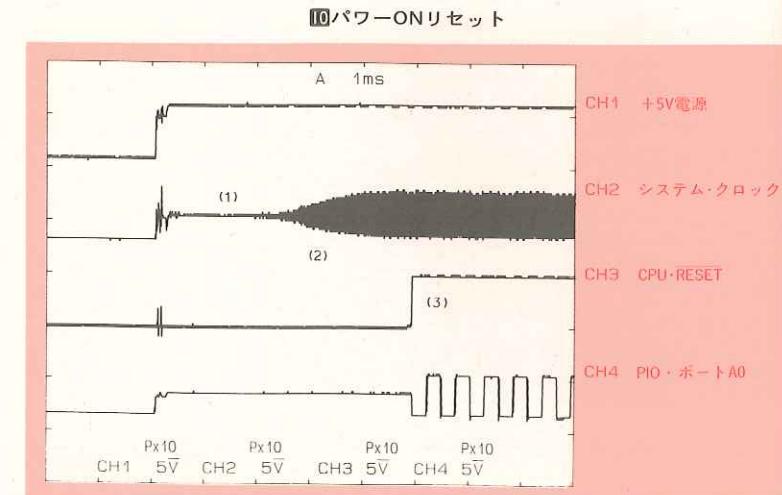
このプログラムでは、出力レベル確認のため(6)で“L”レベルを出力していますので、(5)～(6)の区間が“H”レベルになっている様子が分かると思います。ポートをプルアップしていたら(6)になるまでの間、一度も“L”レベルが出ていないことがあります。

もちろん、8255を使用するときのようにポートをプルアップせず、トランジスタ・アレイなどを使ってインターフェースし、“H”アクティブ出力として制御する限りは、イニシャル時の余計な“L”レベル・パルスは無視できます。

しかし、ポートがTTLでインターフェースされていたときなど、何とかイニシャル時の“L”レベル・パルスを回避したいものです。この方法を使えば、PIOをモード3で使用する際に発生するイニシャル時の不都合を回避できそうです。

PIOのリセット

Z80 PIOには、ハードウェア・リセットのための端子が用意されていません。40ピンのパッケージではピン数が足りなかったためです。電源投入による自動リセット機能は一応内蔵されているのですが、ハードウェアによる積極的なリセット方法としてZ80特有の制御信号タイミング



を使った方法が用意されています。Z80 CPUが動作しているときのM1信号は、RDあるいはIORQのどちらかで必ずアクティブになります。つまり、M1・RDではオペコード・フェッチ、M1・IORQでは割り込みアクノリッジを示すわけです。

そこでPIOでは、M1だけを“L”にすることでチップの直接的リセットが行えるようになっています。負論理のOR(LS08など)1ゲートでこの回路が実現できます。先ほど説明したイニシャルの失敗でも「リセットが怪しいのでは?」と思ったのですが、手順だけの問題でリセットは関係なかったようです。しかし、PIOのハードウェア的リセットに関して、この方法ではうまくいかない場合がありますので、ご注意いただきたいと思います。

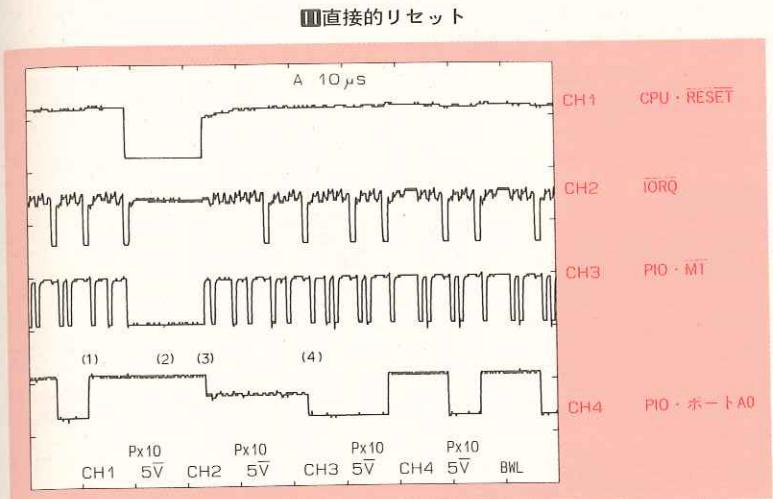
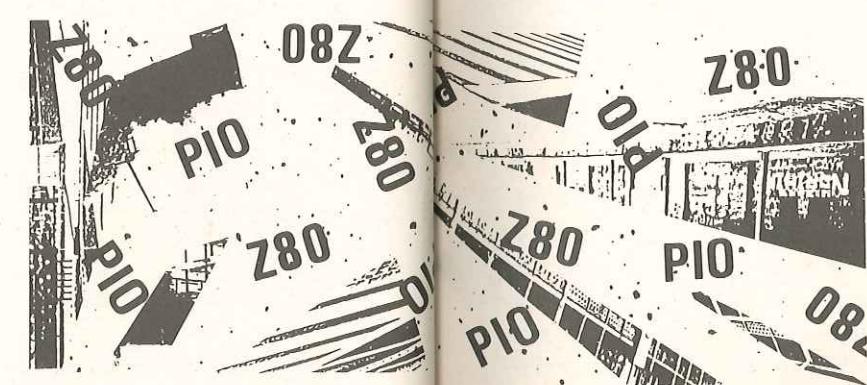
メカを制御するシステムなどでは「非常停止」スイッチの役目として、CPUのリセット入力を利用する場合があると思います。

システム・リセットすることで外部装置を制御している出力が電源OFF時と同じになる、つまりすべての出力がOFFすることを期待しているわけですが、ここにPIOが使

われていると、たとえ前述のゲート回路が付加されていてもうまく働かない場合があります。それはPIO内部のリセットが、RDあるいはIORQ信号が来ない状態でM1が“L”になった後、M1が“H”に戻るエッジで行われるからです。

もし、CPUのリセット回路に単純なCRの時定数によるものが使われていると、リセット・スイッチが押されている間CPUはリセットされてもPIOがリセットされず、リセット・スイッチが離されて初めてPIOがリセットされるということになってしまいます。

このことは、PIOのマニュアルにはきちんと書かれているのですが、



「M1が“H”になるエッジ」というのをきちんと説明しないまま、PIOの解説やリセット回路の紹介を行っている記事が多いので気を付けて下さい。

ダイナミックRAMに対応したZ80システムでは、リフレッシュ・サイクルの点からCPUに対するリセット信号をパルス化している場合が多くあるので、気付かないことがあると思いますが、そうでない場合、リセット・スイッチを押しているのにPIOの出力はアクティブのままだということで、「アレ?」となってしまいます。

産業用としてよく用いられる「STDバス」の既製品を組み合わせ

に指定し、ソフトで矩形波を出力しているのでこの波形が見られます。

この実験結果を見る限り、PIOのパワーONリセット機能は特に心配ないようです。ただ、瞬時停電などで電源電圧が中途半端に低下したとき、どうなるかはもう少し実験してみる必要があります。

なお、この実験では負論理のORゲートによるPIOのリセット回路は付加せず、PIOのM1端子は直接CPUのM1につないでいました。

直接的リセットの実験

PIOのM1端子にリセットのためのゲートを付加して、ハードウェアによる直接的リセットの実験を行ってみました。図がそのプロットで、RESET、IORQ、PIOのM1端子、そしてAポートのビット0を見ています。プログラムでは、ポートをモード3の出力に指定した後[(4)]で矩形波を出しました。

パワーONリセットの実験

電源ON時にPIOがリセットされている様子を図に示します。CH1が+5Vの電源、CH2がシステム・クロック(2.4576MHz)、CH3がCPUのRESET端子です。CH4では、33kΩと22kΩの抵抗でプルアップ、プルダウンしたPIOのAポート・ビット0を見ています。ポートが入力モードならこの波形が中間レベルになります。

電源が入った後、システム・クロック・オシレータの発振出力が安定していない間[(1)]もきちんとPIOがリセットされ、ポートが入力モードになっています。発振が始まると波形が徐々に大きくなっていく過程[(2)]でも、ポートの状態は落ちついているようです。リセットが“H”になりプログラムが走り始めた後[(3)]は、Aポートをモード3の出力

で出力した“H”レベル信号がクリアされていません。実際に入力状態になるのは、リセットが“H”になった(3)のタイミングです。“L”アクティブのリセット信号が有効である(2)の間、PIOはリセット前の状態を保持している点に注意して下さい。

したがって、電源OFF時や停電時の誤動作を防止するため、電圧低下を検出してシステム全体に対しリセットをかけるような回路構成になっていても、PIO自身が動作できない回路電圧に低下するまでは、直前の出力を保持していることになります。

このことが特に問題とならないシ

技術評論社の書籍ご案内 改訂 TURBO C プログラミング・ハンドブック II



宍倉幸則・著
A5判472頁 2400円
インストールの方法からプログラム開発環境まで、例題を使用してわかりやすく解説した。Ver.2.0に対応。Ver.1.5からのアップデートユーザも満足できる内容。

大好評!

ANSI C言語辞典



平林雅英・著
四六判496頁 2100円
ANSI規格の全内容を網羅するとともに、それに沿ったプログラム例を豊富に配し、実際的な利用に最適。「辞典」形式で使いやすさも抜群。

★Microsoft Languageシリーズ

Ver.5.1 Microsoft C 初級プログラミング入門上、下



河西朝雄・著
①上巻 A5判432頁 2300円
②下巻 A5判320頁 2000円

MS-C Ver.5.1対応版。上巻では基本操作、言語仕様、ライブラリ・ルーチン・リファレンス等を、下巻では効果的なプログラミング法、各インターフェース等を詳しく解説した。

改訂新版 MS-DOS実用マクロアセンブラー



河西朝雄・著
A5判376頁 2600円
MASMがVer.4.0となったのを機に、機能強化された部分を見直し、LINK、SYMDEB、EXEPACK、MAKEなどや8086/80286プログラミングの考え方を解説。

改訂Ver.2.0版 TURBO C初級プログラミング上下



河西朝雄・著
上巻 A5判312頁 2200円
下巻 A5判464頁 2400円

上巻は、基本操作から基本関数、ファイル処理、グラフィックなどを解説した入門書。下巻では、Cプログラミングを行うために、ライブラリ・ルーチンやプログラミング法などを、系統的にわかりやすく解説。

★Software Technology②



改訂第2版 はじめてのC

椋田 實・著
A5判288頁 1900円
C言語の記号や記述になれることを目標に、多くの例題でやさしく解説した入門書。C言語をはじめて学ぶ人に最適。ANSI規格対応。

マクロアセンブラー・プログラミング入門



吉川敏則・著
B5判328頁 2800円
80系アセンブラーのプログラミングの基本、またMS-DOS、OS/2のリアルモードやプロテクトモードのプログラミング手法についてわかりやすく解説。

〒160 東京都新宿区愛住町8番地8 ☎03-225-2300

システムではよいのですが、モータやソレノイドを駆動するのにPIOを使っていると、電圧低下により起動されるNMI処理ルーチンの中でPIOの出力をインアクティブにしてしまう方が安全です。

最後に

実際にチップをプログラムして動かさなければならぬソフトウェア技術者にとって、このあたりのノウハウは非常に難しいところだと思います。回路を設計したハード屋は、CPUから読み書きさえできれば動いたも同然で、後はソフトで何とかしてくれるだろうと考えますのでよけい厄介です。

インシャル・パラメータが非常に多い最近のI/Oチップではなおさらで、メーカーの使用説明書を読むだけでは使用方法が十分に分からぬのが実情です。

そういう意味で雑誌などに掲載されたチップの使用例というものは、初めてそのICを使う者にとってはたいへんな参考になるのですが、往々にしてメーカーの使用説明書丸写しという記事が多く、プログラム例にしてもなぜこうしたのかという説明が少ないので現状です。長年使い馴れた(と思っていた)Z80 PIOでもこのような問題が出てくるのですから、困ったものです。

まあ何事も経験かもしれません、年々複雑になってくるソフト&ハードに頭脳がついて行けるか心配です。それにしても最近、コンピュータが身边になりすぎて、若い人がますますハード離れしているように感じるのは私だけでしょうか。なんだゴテを握らなくても、目の前に動くコンピュータがあるのですからしかたないかなぁと思ってしまいます。

●第3章●

トランジスタの スイッチング速度に注意

下間憲行

装デバイスなどの超小型パーツや、モータを駆動するのに適した形にモジュール化したものなど、形状面でのバリエーションが豊富になってきました。感熱紙のサーマルヘッド・ドライバなどに用いる、シフト・レジスタ内蔵のトランジスタ・アレイも目を引きます。

抵抗内蔵型 トランジスタ

最近のマイクロコンピュータの性能と処理速度の向上には、目を見張るものがありますが、いくらCPUが速くなりメモリが大容量となっても、電子回路には抵抗やコンデンサなどの受動素子と共に、トランジスタやダイオードなどのディスクリート素子は不可欠なものです。

同じ半導体でありながら、長年の間、顕著な性能向上が見られないよう思えるトランジスタやダイオード、サイリスタなどの電力を扱う素子ですが、MOS-FET構造のパワー素子やガリウムヒ素(GaAs)トランジスタなど、特殊なデバイスにはそれなりの進歩が見られます。

とはいっても、安価な汎用品に関しては何年も変わっていないのが実情で、小信号NPNトランジスタの代表選手といえばいまだに2SC1815や2SC945です。もちろん汎用品が頻繁に変わってしまうのも困りもので、7~8年前のパーツ・リストを元に部品発注して「こんな石、もうおまへん」と言わされたときには情けなく、また相当ショックです。

昔と変わらないように見えるディスクリート素子ですが、最近はデバイスとしての特性より形状面での変化が著しいように思います。表面実

には、 h_{FE} (トランジスタの直流増幅率)の関係で、ダーリントン・トランジスタが数個内蔵されているトランジスタ・アレイを使のがよいでしょうが、電源電圧の異なる信号線のON/OFFには単体のトランジスタが一番安心です

7406や07のようなオープン・コレクタ出力のTTLを使う手もありますが、アナログに近い回路をスイッチする場合、ピン間のリーク電流が心配ですし、消費電流が多いのも気に入ません。

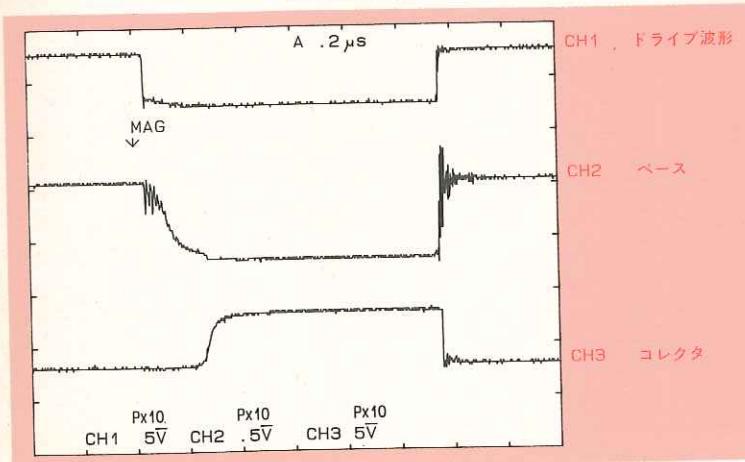
種類が増えて使いやすくなったCMOSロジックICですが、オープン・ドラインのインターフェース用チップはHC03くらいのものです。また保護ダイオードの関係で、出力電圧を V_{ss} ~ V_{DD} の範囲でしか使えないという制限があるので、汎用のインターフェース素子としては使用できません。

その点トランジスタは、ベース電流さえ供給できれば電源が不要ですし、制御される側の電圧を選びません。MOSデバイスのようにラッチアップの心配がないのも、逆の意味で特徴と言えるかもしれません。

トランジスタのスイッチング速度

電子回路の基本とも言えるトランジスタですが、そのスイッチング速

⑥回路⑤の出力波形



ものに比べて5倍ほど速くなっています。

トランジスタにダイオードを付ける

トランジスタのスイッチング速度を上げるもう1つの考え方となるのが、**スイッチングでないながら飽和させないで使う**という方法です。

もともと、トランジスタのスイッチング回路といえども、電源電圧や出力負荷が決っている状態ならドライブする最適なベース電流は h_{FE} から計算することができます。しかしトランジスタの h_{FE} は、同じ形式のものの中でも大きくバラつきますし、温度に依存します。

スイッチング回路を設計する場合、少々 h_{FE} や負荷、電源電圧が変動しても十分にベースを駆動できるように考えて、余裕を持ってベース電流を流すようにするのですが、このことが逆に速度低下を招いてしまっているようです。

何とかして不要なベース電流を、どこかに流し去ってしまうものでしょうか。

この考え方が、LS-TTL(Low P

ower Schottky)などで用いられています。

TTLデータブックを見ると、S, LS, ALS-TTLの等価回路には図7-aのような形のトランジスタが書かれています。これは図7-bを意味し、NPNトランジスタのベース～コレクタ間にショットキ・ダイオードを入れたものを意味します。

一般に、ショットキ・ダイオードはスイッチングが速いというだけではなく、ジャンクションの順方向立ち上がり電圧が低いという特徴があります。トランジスタにこのような形でショットキ・ダイオードを配置すると、ベースをいくらドライブしても、コレクタ電圧は[ベース電圧-ダイオードの順方向電圧]以下には下がらません。ベースを駆動するのに余った電流は、ダイオードを通ってコレクタからGNDに流れてしまうからです。

このようにして、一種の直流的な負帰還がかかることになり、トランジスタの飽和状態を回避できるわけです。名前のどこかにSの字が付いている「※※※ショットキ・タイプ」と呼ばれるTTLではこの方法が応用され、高速化されています。

しかし、この方法にも欠点があります。ダイオードにより負帰還がかかることで、トランジスタが本来持つ低い飽和出力電圧が出てきません。どうしても出力電圧が高くなってしまいます。

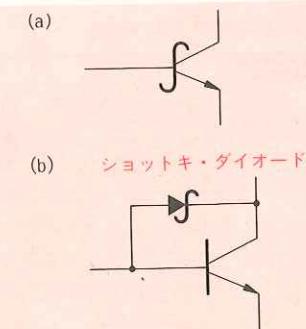
TTLのように入出力の動作電圧が規格化されている場合とは違い、一般にスイッチングする際には電圧差が限りなく0Vに近い方がよいのに、速度を上げたことにより飽和電圧が犠牲になってしまいます。

具体的にスイッチング速度がどのように変わるでしょうか？

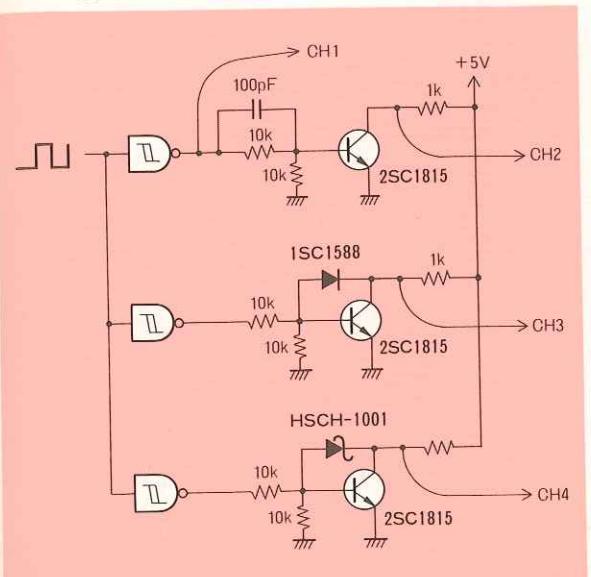
⑧の回路で実験した結果が⑨です。CH1がドライブ波形で、CH2でスピードアップ・コンデンサの効果を見ています。CH3ではダイオードに一般的なシリコン・タイプのスイッチング用である1S1588を使ってみました。CH4がHP社のショットキ・ダイオード、HSCH-1001を使ったものです。

結果は、ベースに対し逆バイアスを加えるスピードアップ・コンデンサを使ったものが一番速くなりました。しかし、OFF時の波形を見ると、マイナス側に3V以上のスパイクが見られます。入力の微分波形がコレクタ側に表れたもので、受け側の回路が、こういった異常電圧が加わっても大丈夫なものでないと利用できないようです。

⑦S, LS, ALS-TTLの等価回路



⑧ショットキ・タイプのTTLを用いた実験回路

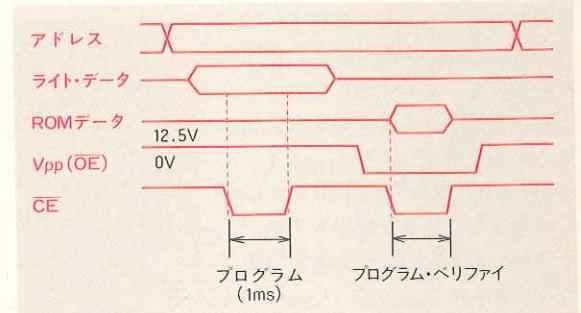


その点、ダイオードによる非飽和動作をさせたものは、波形も滑らかになっています。さすがに、ショットキ・ダイオードのほうがシリコンに比べてスイッチングが速くなっていますが、「L」レベルの持ち上がり方が大きい様子が見られました。

ROMライタでの経験

トランジスタのスイッチング速度の問題に直面したのは、PC9801やPC286Lにつないで使うPROMライタを試作しているときでした。

一般的な紫外線消去タイプのEPROMは、データの書き込み時に12.5V～25Vの電圧をスイッチしなければなりません。いわゆる V_{pp} 電圧です。これは、5Vばかりを扱うデジタルに比べると高電圧と呼べるかもしれません。±15Vを常用するアナログ回路から見れば、何のこともありません。ちょっと高めの電圧のスイッチ程度と考えられます。電流も50mA程度を考えればよいのでパ



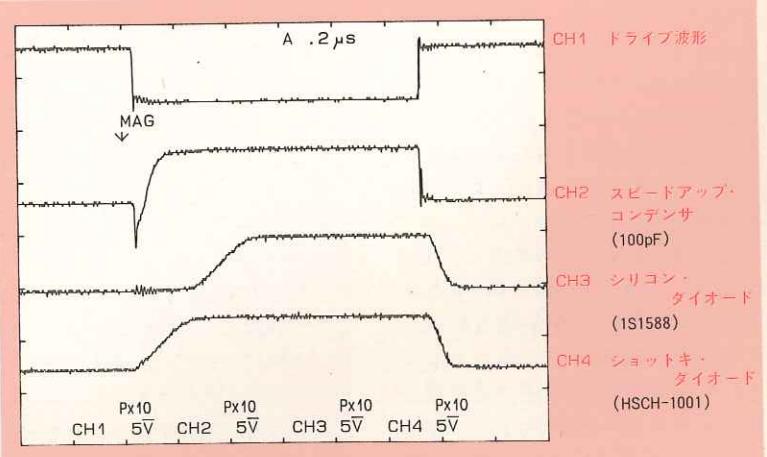
▲⑩ROMのデータ書き込みタイミング

いのでなんら問題はないのですが、プログラム時の書き込みデータ・ペリフェイには V_{pp} ～0V間をスイッチしなければなりません。これらのROMの書き込みタイミングを⑩に示しますのでご覧下さい。

試作で使った V_{pp} のスイッチング回路は⑪のようになっています。HS-CMOSの出力を抵抗内蔵型のNPNトランジスタで受けた後、1WクラスのPNPトランジスタをドライブしているごく標準的な回路です。 V_{pp} 端子と \overline{OE} 端子が共通になっています。

ROMにデータを書き込んだ後の、通常のデータ読み出しでは \overline{OE} 端子にTTLレベルの信号を与えればよ

⑨回路⑧の出力波形



で、プログラム・ベリファイは通常用いません。しかし、27512では $V_{cc} = 6V$ に上げての高速書き込み手順が普通です。この場合にはどうしても $V_{pp} \sim 0V$ のスイッチングが必要になってしまいます。

ROMライタの製作記事などによく紹介されていると思いますが、ここで27512の書き込み手順を説明しておきましょう。

①まずROMを高速書き込みモードにするため、ROMの電源端子である V_{cc} に6Vを供給する

②これと同時に少し後に V_{pp} に12.5Vを加える。なお、 V_{pp} の供給に先立って \overline{CE} を“H”(TTLレベルでよい)に確定しておかなくてはならない

③書き込みデータとそのアドレスをROMのデータ、アドレス・ラインに出力する

④ \overline{CE} を1ms間“L”レベルにした後“H”に戻す。これにより与えているデータが書き込まれる

⑤ V_{pp} を0Vにした後、アドレスはそのままにしてROMに対するデータ出力を止める

⑥ \overline{CE} を“L”にして、ROMから出力されるデータを読み取る

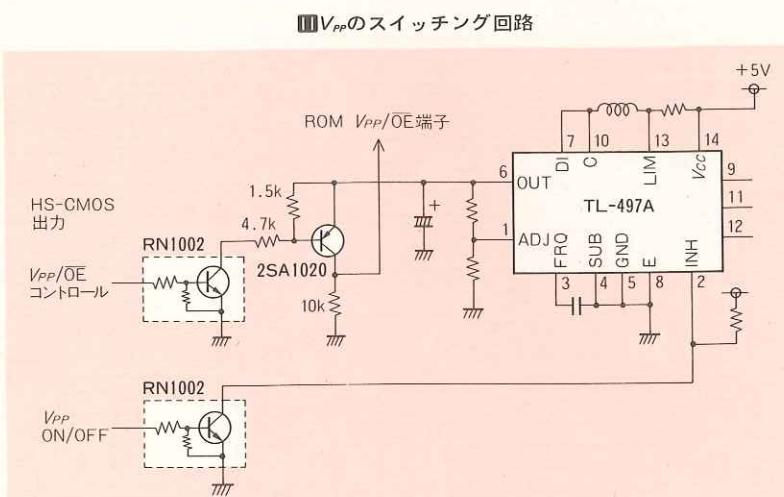
⑦ \overline{CE} を“H”に戻した後、 V_{pp} も12.5Vに復旧させる

⑧ROMから読み取ったデータと書き込んだデータとを比較する。同じなら書き込みが成功したことになるので(9)にスキップする。異なれば(3)～(8)を繰り返すが規定回数を超えたときは書き込みエラーとして処理を終わる

⑨追加書き込みを行うため、(4)で加えたパルス数の3倍の時間 CE を“L”にして書き込みを行った後、 CE を“H”に戻す。

⑩まだ書き込むべきデータが残っているときは(3)に戻る。

⑪データの書き込みが全部終ると、

■V_{pp}のスイッチング回路

りますが、CPUにV30を使っているPC286Lでも「これはアカン」と感じたくらいですから、286Lの4倍は速いPC386では、完全にソフトの方がトランジスタのスイッチより先に進んでしまいます。

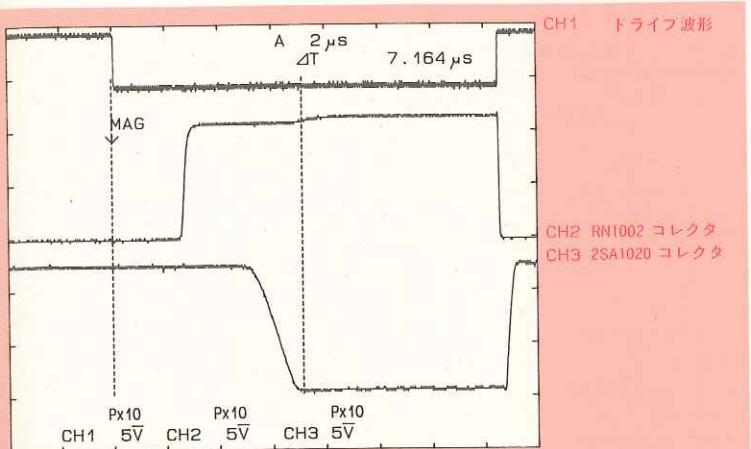
V_{pp}スイッチング回路の実験

それでは、NPNとPNPトランジスタの組み合せによる12.5Vのスイッチングは、どの程度遅れるのでしょうか

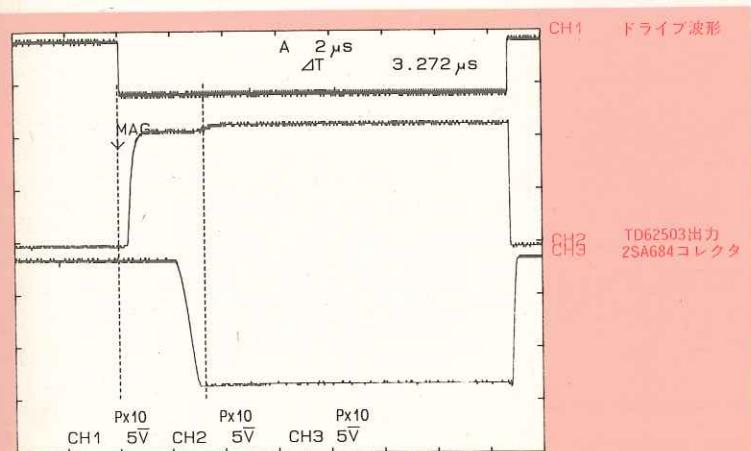
実機のROMライタではありませんが試験回路を作成して実験した結果が②です。

本来この区間は書き込みデータのベリファイを行うものですので、データ・ラインはCPUから見て入力方向に切り替わっており、書き込みデータはまだ確定していません。もし、ROMを書き込みモードのままにする程度の V_{pp} 電圧が残っていたら、不確定なデータが書き込まれてしまう恐れがあります。

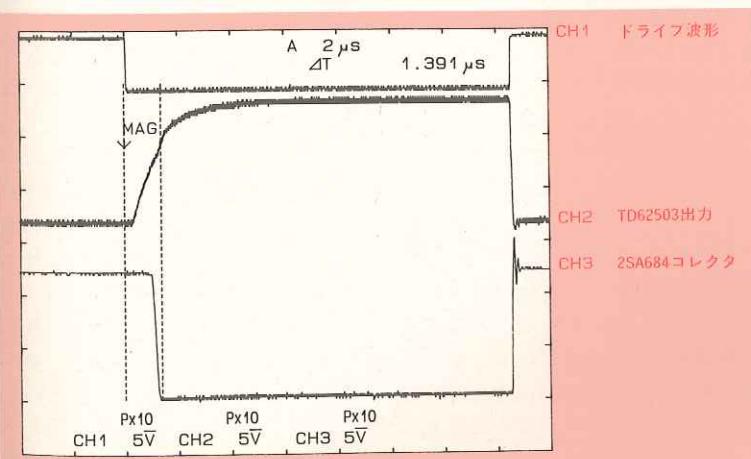
いかがですか？ 12.5Vから0Vになるまで7μsかかっています。10MHzのクロックで動作しているCPUにとっては70クロック・サイクルです。これだけ実行時間があれ

■NPNとPNPの組合せによるV_{pp}の12.5Vのスイッチング波形

■2SA684に変えたときの出力波形



■スピードアップ・コンデンサを付加したときの出力波形



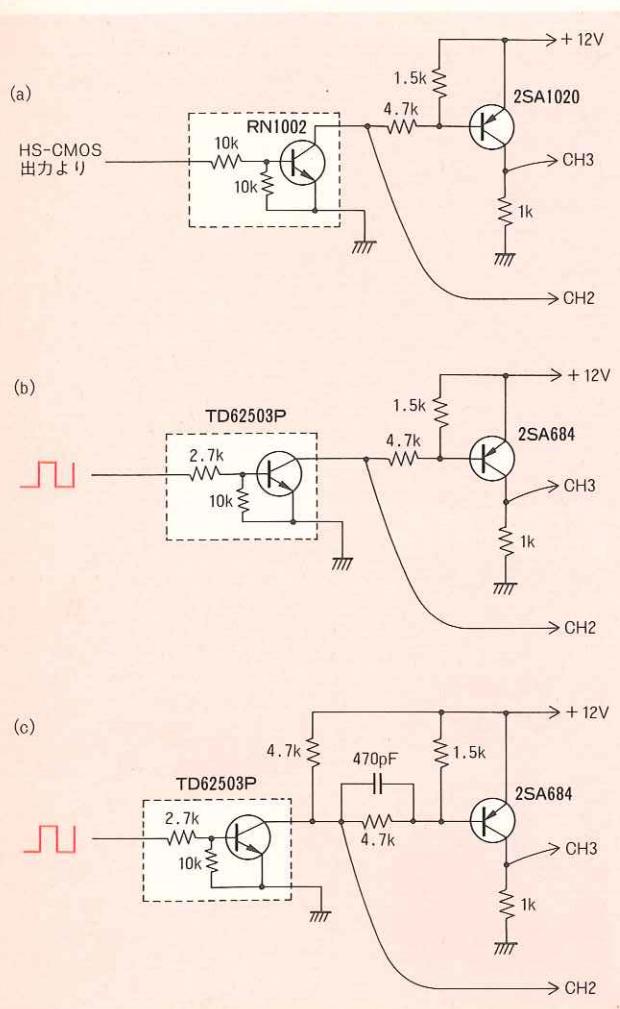
ば、ちょっとした仕事をこなせます。ハードよりソフトの方が速く進んでしまう(!)ことがお分かりになったでしょうか。

さて対策を考えてみましょう。まず、手を付けなければならないのがNPNトランジスタです。試しにTD62503という7素子入りのシングル・トランジスタ・アレイを使ってみます。東芝のこの石は、TD62003やULN2003Aなどのようにダーリントン接続になっていないので、低飽和出力が欲しいときに有効です。カタログスペックでは0.2μsのOFF遅延時間となっていますが、実際の様子を見てみましょう。

そして問題のPNPトランジスタです。2SA1020はカタログ上、利得帯域積(f_T)が100MHz、コレクタ容量(C_{ob})が40pFとなっています。この石を同じ1Wクラスながら、 f_T が200MHz、 C_{ob} が20pFというスペックを持つ松下の2SA684に変えました。その結果が④で、先ほど比べ約半分の時間になることが分かります。

この回路にスピードアップ・コンデンサを付ければどうなるでしょうか。シリーズに入っている4.7kΩに並列に470pFを付加します。そして、トランジスタ・アレイの出力を4.7kΩで12.5Vにプルアップします。このプルアップ抵抗がないとトランジスタ・アレイがOFFしたとき、PNPのベースに逆バイアスが加わらないためスピードアップ・コンデンサとして働きません。

④が実験結果、⑤がこれらの実験に用いた回路です。スピードアップ・コンデンサによりずいぶんと高速になりました。このくらいのOFF時間なら満足できます。しかし、CH3の立ち上がりを見て下さい。②や③では見られなかったスパイク波形が出ています。この部分を拡大し



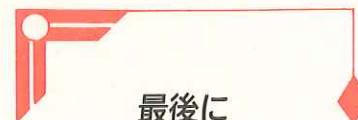
◀15
[2]~[4]の
実験回路

の他ハード的な要因により待ち時間の値を変えなければなりません。微妙な時間調整をするため、タイミングをオシロで見ながらプログラムの常数を変更するのもわざわしいものです。

何とかして、ソフトの進行に比べて絶対にハードの方が速いというスイッチング回路を実現できればよいのですが、単純で部品数が少なくてその上安くできる回路はなかなか思い付きません。まして、33MHzの80386などという超高速マイコンを搭載したマシンが出てきていますので、あやふやな回路ではソフトのスピードに負けてしまいます。

結局、自作のROMライタでは、あまりスマートではないのですが[7]のような回路で、 V_{pp} が0Vまで下がったことをソフト的に確認できるようにしました。シリコン・トランジスタが持つ約0.7Vの V_{be} 電圧をコンバーレータ・レベルとして使用します。

これにより、スイッチングの基本回路は当初のもくろみ通り、RN1002と2SA1020のまま使えます。また、スイッチング速度の素子間のバラツキや温度による変化を気にしなくてすむのも好都合です。



最後に

このROMライタの試作でも、スイッチング速度を上げる方法といろいろな案が同僚から出ましたが、コストの面や電源回路の問題、デバイスの入手性、それに部品点数の面から採用を諦めなければなりませんでした。これはパワーMOS-FETや広帯域パワーOPアンプなどの最新鋭デバイスを使えば、決して実現不可能なスイッチング速度ではありません。

それだけに、何とか簡単な回路で

たのが[6]で、3Vを超えるピークが見られます。

スピードアップ・コンデンサの働きでPNPトランジスタのON時間が急峻になり過ぎてリンギングが発生したのでしょうか、わずか200~300ns間ですが V_{pp} 定格電圧を超えてします。

ROM書き込み時の V_{pp} 電圧は以外と厳しく定められており、メーカーのデータブックには「オーバーシュートを含めて+13.5V以上にならないように(NEC)」あるいは「オーバーシュートを含めて13V以下に(日立)」な

どと注意書があります。スピードアップ・コンデンサによる高速化は、ROMのチップそのものを保護する上で諦めざるをえません。

ROMライタでの対策

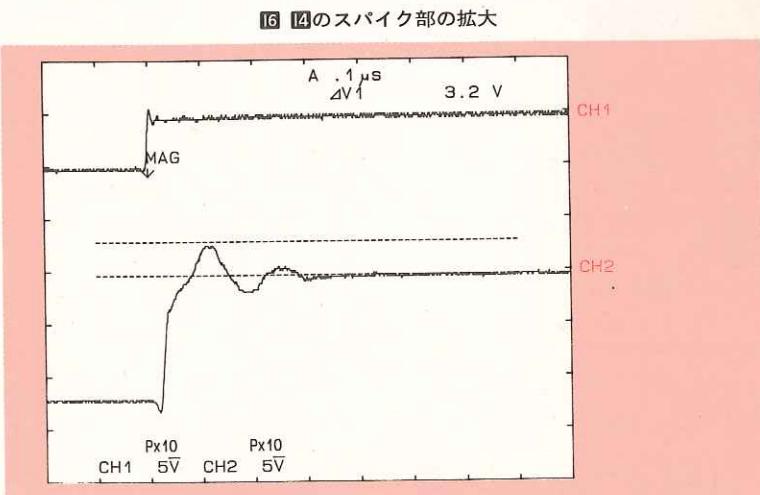
今度はROMライタを例にして、 V_{pp} のスイッチング時間に対する解決方法を考えてみましょう。まず考えられる一番単純な解決策は、ソフト的に待ち時間を入れることです。しかしCPUの種類やクロック、そ

スイッチング速度を向上できないものかと考えたのですが、確実にできるという方法が思い浮かびませんでした。

昔に作ったZ80を使って制御していたROMライタでは、ソフトの方が速いなどというとんでもないことを経験していなかっただけに、最近の高性能CPUの処理能力には感心してしまいます。

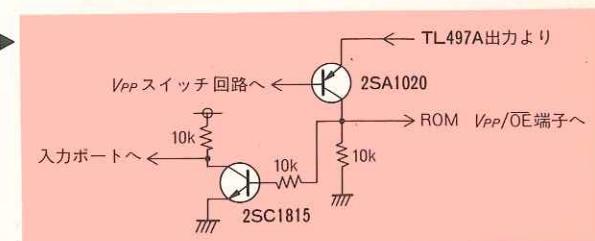
今回のレポートのように、単純なスイッチング回路にトランジスタを使うと、驚くほど速度が遅いのは事実なようです。もちろん高周波增幅回路やエミッタ・フォロワなどのように、リニアな領域で使う分には数十円の石でVHF帯をカバーすることが可能です。適材適所、最適なデバイスさえ選択すれば、マイクロボルトからギガヘルツまで、アマチュアでも十分使いこなせる性能を持つ現在の半導体です。

それでもココムの絡みでしょうか。国産デバイスの入手に関して、資料請求するにしても、ひと頃に比べて相当うるさくなっているようです。「最終ユーザはどこですか?」と



◀16 [4]のスパイク部の拡大
[7]▶

ROMライタでの
対策の実験回路



参考文献
1. 抵抗内蔵型トランジスタ To-92カタログ(東芝)

か「国外に出しますか?」などと聞かれるので返答に困ってしまいます。

ディスク・サービスのお知らせ

本誌において掲載されたソフトウェアの一部を、ご希望の方にディスク媒体にて配布いたします。

①マルチ・アラーム・タイマの製作

.....ソース・ファイルのみ

なお、先月号本欄(118ページ)において、サービスの内容が一部抜け落ちておりました。

②特集第1部 これがMINIX

.....ソース、オブジェクト、差分ファイル その他

深くお詫びするとともに、②は「90年2月号ディスク・サービス(商品番号0202)」「90年3月号ディスク・サービス(商品番号0203)」の双方に収録することいたしました。ご了承下さい。

これらのプログラムは、すべてMS-DOSフォーマットのディスク1枚に収められています。なお、メディアは5"2HDのみとなります。

お申し込み方法

巻末のソフト申込書に以下の2点を必ずご記入の上、所定の金額をお振り込み下さい。

●価格…3,090円(本体3,000円+税90円)

×ご希望の枚数

●ディスク送付先住所、氏名、電話番号

*振替以外の送金方法(現金書留、切手など)は固くお断りいたします。また、申込書の記載はくれぐれもお間違いのないようにご注意下さい。

締め切り

'90年4月末日(当日消印有効、締切厳守)

●第4章●

フォト・カプラの 1次側インターフェースに注意

下間憲行

いろんなフォト・カプラ

フォト・カプラもずいぶんといろいろな品種が増え、回路を設計するとき、その性能や価格の面で選択に迷うところです。特に、高速応答タイプは、各社から様々な用途のものが出てきましたので、回路設計上の自由度が増してきました。

しかし、高性能タイプのものを実際に使うとなると、価格と納期の面で十分注意しなければなりません。スペックだけを見て設計してしまうと、すんなりと入手できなかったりして、製造スケジュールに支障をきたします。あらかじめ互換品を探すなどして、設計の段階から品種選択に気を配らなければなりません。

4個入りパッケージの低価格品にも、ゲーリントン出力タイプのものが出ています。少し大きな電流をドライブしたいとき、今までのシングル・トランジスタ出力のフォト・カプラでは、小信号トランジスタを別に付加しなければなりません。

それが、ゲーリントン出力のものを使うと、外付けしていたトランジスタが不要になるので、部品点数が減らせるだけでなく、実装の手間も省けます。

信号をアイソレーションする上で、たいへん便利なフォト・カプラです

が、こんなトラブルを経験しています。読者の皆様に、私と同じミスをおかさないようにしていただけたまに、簡単ですがレポートします。

ロータリ・エンコーダの誤動作

数年前のことです。トラックに積まれた土木工事用のメカを制御する、小さなコントローラを作成したときのことでした。

メカを動かすモータや電磁クラッチ、油圧バルブなどの「強電」制御は、オシロスコープだけを見て設計してしまうと、すんなりと入手できなかったりして、製造スケジュールに支障をきたします。あらかじめ互換品を探すなどして、設計の段階から品種選択に気を配らなければなりません。

普通ですと、オシロスコープやテスターなどの測定器、それに工具を持参するのですが「ともかく、行きます」ということで駆けつけました。

いつ停電してもよいようにしなければなりません。NiCd電池によるRAMのバックアップと、ソフト的なデータ保護には、ことさら用心しました。

重大なトラブルもなく試運転も済み、一応、私の手から離れてしばらくしてからのことでした。夜もふけたころ、自宅に電話が入りました。「位置表示がおかしい」とのことです。「明日、現場で使う」ということで、徹夜してでもトラブル・シュートしなければなりません。

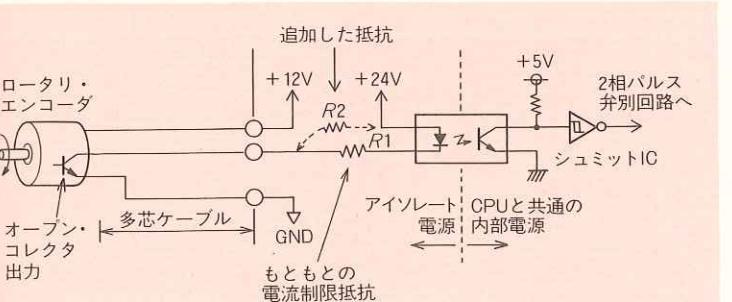
普通ですと、オシロスコープやテスターなどの測定器、それに工具を持参するのですが「ともかく、行きます」ということで駆けつけました。

電線のクロストーク

症状の確認を行いましたが、現象には再現性があり、ノイズや接触不良によるものでないことは一目見て判断できます。ロータリ・エンコーダを手で回しても、位置表示がスムーズに変化しないのです。当然ですが、マイコン部単体でのテストや試運転のときには、こんな現象は起きていません。

以前、メカ屋さんがエンコーダのシャフトにギアを取り付ける際、ハンマーを使って無理やり押し込んだことがあって、今度もそうかなと考

■失敗したロータリ・エンコーダとのインターフェース



えたのですが「あれ以来気をつけています」そうで、どうやら原因は電気周りのようです。

しかし、よく話を聞いてみると「この前使ったときより、エンコーダのケーブルを長くした」ということです。オシロスコープがなくては解決できないかなと思っていたのですが、この一言でひらめきました。

ケーブルを延長して変化するものといえば電線の抵抗と線間容量くらいです。抵抗分による電圧降下が問題になるほどの電流は流れていませんし、インピーダンス不整合による信号の反射も関係ないでしょう。どうもエンコーダの接続に使っている、多芯ケーブルの電線間にあるコンデンサ分の増加が原因のようです。

エンコーダのA・B 2つの相のどちらかが変化したとき、線間容量で微分されたパルスが、反対側の相の入力に飛び込んでいるのではないかと推測しました。マイコン側の回路に注目してみると、エンコーダの入力回路だけ、フォト・カプラの2次側に、ノイズ除去のためのフィルタ回路を入れていないのです。

これは、エンコーダからの、数kHz程度の信号にも応答できるようにするためにです。スイッチやシーケンサからの入力信号には、ノイズ防止+チャタリング除去のために、CRを使った積分回路をフォト・カ

ーダンス状態)というのが失敗だったようです。

フォト・カプラ1次側のLEDを点灯するだけのエネルギーさえあれば、わずかなレベルの信号、たとえばスパイク性のノイズでも、2次側のトランジスタに伝わります。それがR2によるプルアップで、OFF時の入力レベルが安定し、外乱ノイズに強くなつたのでしょう。

エンコーダの出力がオープンコレクタだったのも原因の1つかも知れません。電圧出力タイプのエンコーダなら、このトラブルは起こっていなかつたでしょう。

フォト・カプラは、発光ダイオードとトランジスタが向い合っただけの、比較的単純な構造の素子です。にもかかわらず、このような落し穴があることに気が付いたのは、これが初めてでした。以後、フォト・カプラの使用には、ドライブ側の回路も含めて注意するようになりました。

トラブルの原因を先に明かしてしまいましたが、これから、私の体験を再現してみようと思います。

汎用フォト・カプラの応答速度

前述のトラブルとは、直接に関係ありませんが、まず、フォト・カプラの応答速度を見ていきたいと思います。

現在、お金さえ出せば、相当高速なフォト・カプラが手に入ります。しかし、普及品はどのくらいの性能を持つのでしょうか? デバイスが持つ性能をフルに生かして設計するために、知っておいても悪くはないでしょう。手元にあった、シャープ製の「PC847」(PC817が4個、16ピンDIPに入ったもの)で試してみました。私がよく使う、低価格な部類の汎用フォト・カプラです。

一般的にフォト・カプラは、2次側トランジスタの負荷抵抗で応答速度が決ってしまいます。実験は②の回路で行いました。入力を、24Vの電源で2.2kΩの抵抗を通してスイッチしていますので、約10mAの電流をLEDに流していることになります。

2次側は、エミッタをGNDにして、コレクタを抵抗で+5Vにプルアップしています。このプルアップ抵抗に、470Ω、1kΩ、4.7kΩと3種類のものを用意して、出力波形を見てみました。

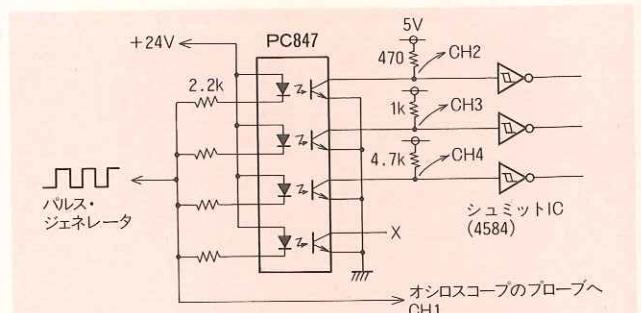
1.5kHzの周波数でドライブした結果が③です。立ち下がりの遅れはほとんどありませんが、立ち上がりがずいぶん鈍っています。抵抗が小さいほど、応答が早くなっているのが見られます(④は実験の様子です)。

出力がLになるときは、トランジスタがONするときですので、少々の負荷容量があっても、GNDレベルまで強制的に引っ張られます。しかし、OFF時はプルアップ抵抗だけの力で、+5Vまでジワジワ上がります。4.7kΩという高い抵抗値では、2kHzの伝達がやっとというところです。

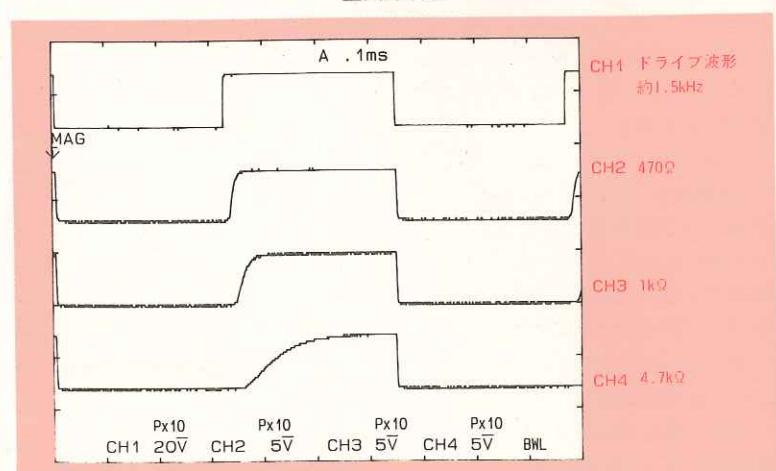
実用上、フォト・カプラの後ろには、CRを使ったチャタリング、ノイズ除去回路を設ける場合が多いので、応答が悪くても意識しない場合がほとんどです。しかし、ロジックICとのインターフェースを考えると、フォト・カプラの後ろは、必ずシュミット入力のICで受け、波形の鈍りを除去しておかなければなりません。CH4のような波形が、ICのクロック入力に入ると、確実に誤動作します。

応答周波数の上限を探ってみたのが⑤です。CH1が一時側LEDのドライブ波形、CH2が470Ωでプルアップしたコレクタの波形、CH3はそれを4584シュミットICで受けた出力です。CH4は1kΩでプルアップしました。CH4では、かろうじて10kHzに応答していますが、1kΩではさすがに

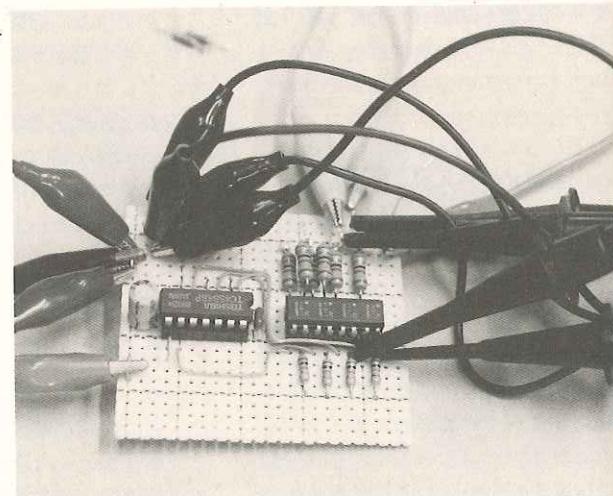
②応答速度の実験回路



③出力波形



④実験中のフォト・カプラ

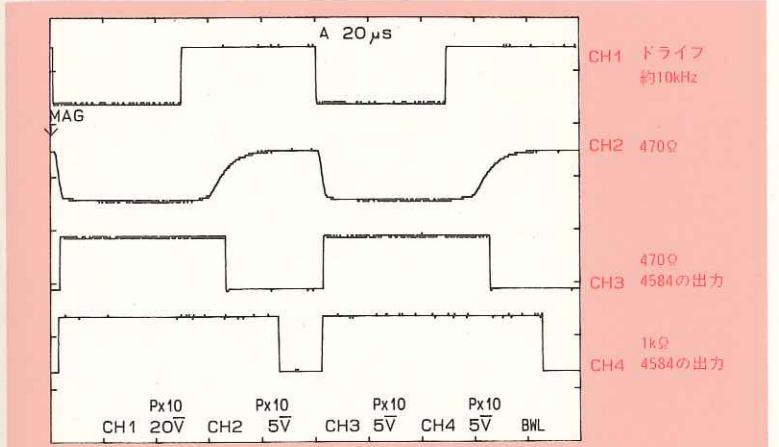


それを4584シュミットICで受けた出力です。CH4は1kΩでプルアップしました。CH4では、かろうじて10kHzに応答していますが、1kΩではさすがに

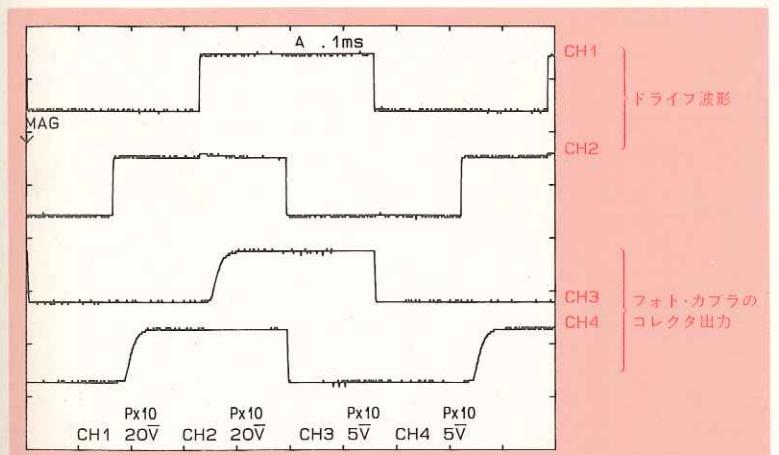
の出力です。

470Ωでは、かろうじて10kHzに応答していますが、1kΩではさすがに

⑤応答の上限



⑥2相パルスの波形



しか伝達できないと考えておくほう
が間違いありません。

信号の高速伝送にはそれなりに、
高価なフォト・カプラを使えば解決
できます。しかし、高速品と呼ばれて
いるものでも、オープンコレクタ形式
のものは、外付けするプルアップ
抵抗を相当小さくしないと、所定の
速度が得られません。シビアな用途
では、実機でのタイミングチェック
を必ず行いましょう。

ケーブル・クロストークの実験

さて、私が経験したケーブル・クロストークによる、フォト・カプラの誤動作はどの程度のものなのでしょうか。手元にあった、ごく普通の0.3㎟・6芯、ビニール被覆ケーブルを使って実験しました。長さは約20mです。

ロータリ・エンコーダが出力する2相パルスは、簡単な発振回路で作りました。先ほどと同じように、24Vの電源と2.2kΩの電流制限抵抗をPC847のLED側につないでいます。発振回路のオープンコレクタ出力で、これをドライブするわけです。2次側のトランジスタは1kΩでプルアップして、4584で受けています。

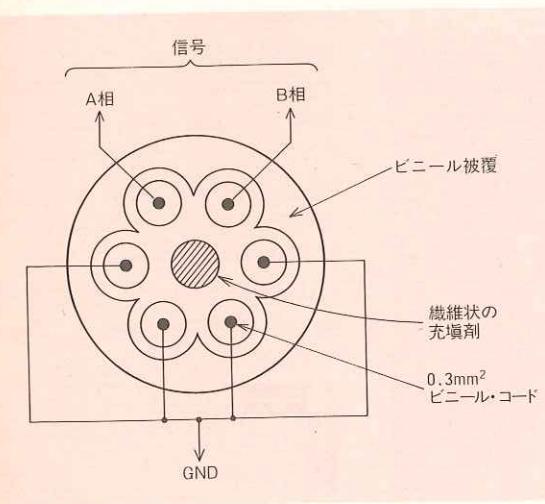
このドライブ波形を⑥に示します。周波数は約1.5kHzです。この信号を⑦のように接続した20mのケーブルを通してフォト・カプラにつなぐと、なんと⑧のCH1、CH2のようになってしまいます。

CH1の中央に表れた波形の落ち込みは、フォト・カプラの2次側(CH3)にも確実に伝わっており、4584の出力(CH4)に正のパルスとなって出ています。また、CH2には波形の盛り上がりが見られます。

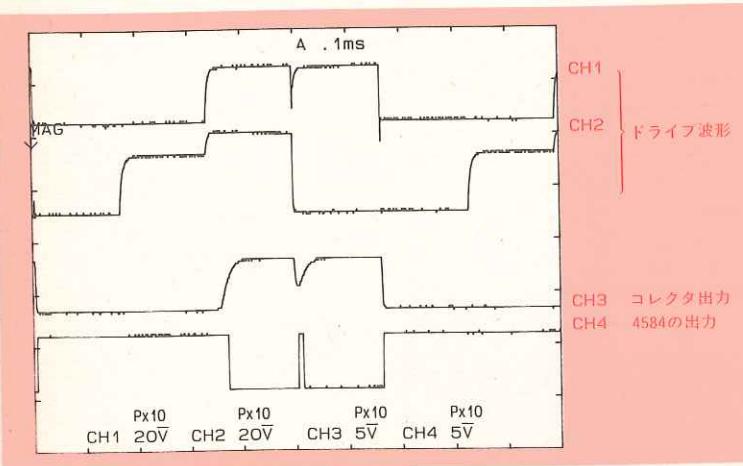
なぜこのような、電源より高い電圧の信号が表れるのでしょうか。こ

苦しいようです。出力波形のデューティサイクルが大きく変わっています。2次側の負荷抵抗を小さくすれば、もう少し応答周波数を高くできます。しかし、負荷抵抗をこれ以上小さくすると、トランジスタがONしたときの、Lレベル電圧が持ち上がりてしまい、次段のロジックICとのインターフェースで、ノイズマージンが悪くなってしまいます。

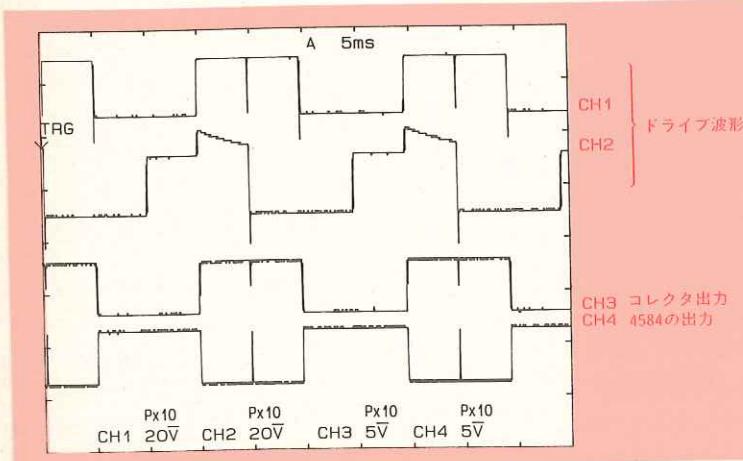
汎用フォト・カプラの応答速度が遅くなっている原因は、受光素子に使っているトランジスタのベースに電荷がたまる蓄積効果です。ベース



⑧ケーブルを通した波形



⑨繰り返しを遅くした波形



の部分は、オシロスコープの時間軸を遅くするとよく分かります。50Hzまで繰り返し周波数を落してみると⑨のようになります。CH2の盛り上がりが、微分波形の上側部分であることがはっきりします。

これを見ても分かるように、フォト・カプラの入力は相当に強烈な影響を受けています。これでは、ロータリ・エンコーダのパルスを数えるカウンタ回路がミスするのは当たり前です。

それでは、私が応急対策したように、入力をプルアップしたらどうなるでしょうか。電流制限抵抗と同じ値の抵抗を入れてみました。この結果は⑩のようになりました。まだスパイクが見られますが、4584に引っかかるほどのレベルではありません。この程度なら、何とか使えそうですが、まだ不安です。

一般的なシーケンサの入力回路で、よく用いられている⑪のように、数百Ωの抵抗をLEDに並列接続しても同等の効果がありました。

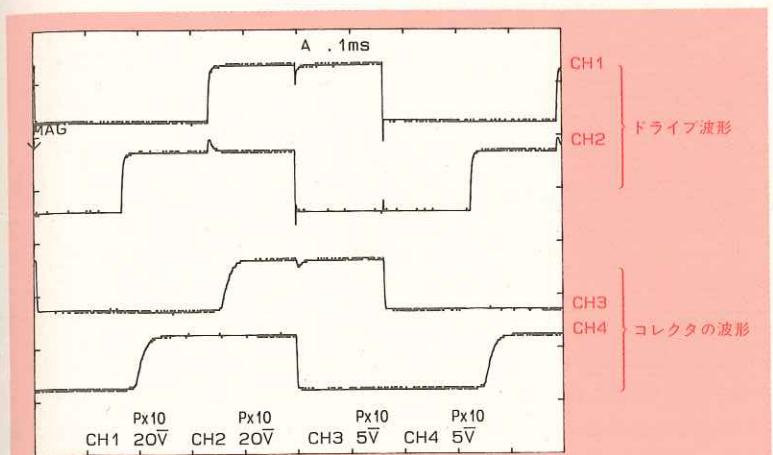
次に、電線の接続方法を変えたらどうなるかという実験をしてみました。

ケーブルの接続を⑫のようにして、信号とGNDが交互になるように入れ替えてみます。すると、今までのクロストークが激減します。GND線が信号線の間に割り込むことによって、シールド効果が出るのでしょう。しかし、プルアップ抵抗を外して電流制限抵抗だけにしてしまっては、スパイクが大きくなってしまいます。やはり、抵抗2本は必要です。

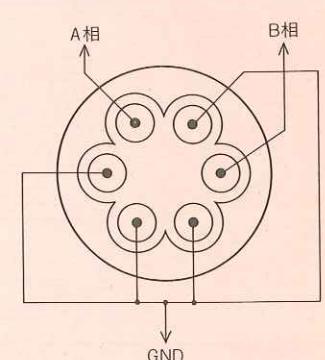
試しに、隣合う電線間の容量を計ってみると、20mのケーブルで1000pFにも達していました。直流通じて絶縁していても、パルス波にとってみれば、これではショートしているのと同じです。

⑦ケーブル接続

⑩プルアップ抵抗を付けた波形



⑫信号とGNDを交互にする



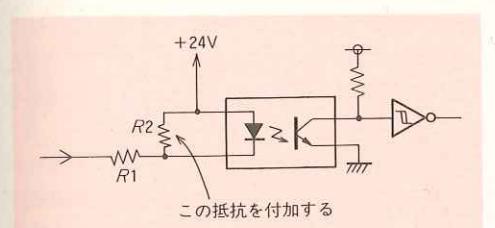
たとえ短い伝送距離でも、重要な信号にはRS-422などの信号伝達手段を使うべきでしょう。

機械装置に組み込む電子機器の場合、意外とこのあたりの配線がおろそかになってしまいます。つい、動力機器と同じ感覚で配線してしまうので、動力線と信号線が同じ配線用ダクト内に同居してしまうことがあります。

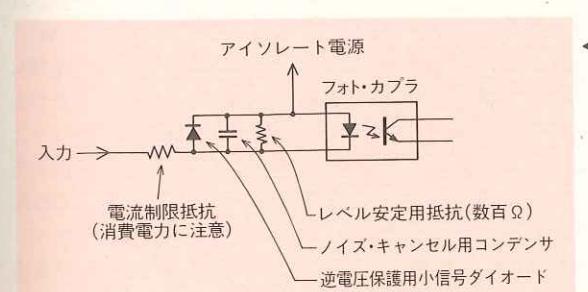
何本かの電線がまとめてシールドされている多芯ケーブルはポピュラーなのですが、独立したシールド線が何本も入った複合ケーブルといふのは、どうしても特注品になってしまいます。ある程度、まとまった量を使う場合しか利用できません。

今回レポートしたフォト・カプラでのトラブルは、クロストークだけでなくノイズの面でも誤動作が生じる可能性を示唆しています。フォト・カプラを使ってアイソレートしたからといって、安心しては駄目です。電流制限抵抗が1本だけの、いいかげんな入力回路では、パルス性の外乱に弱くなってしまいます。

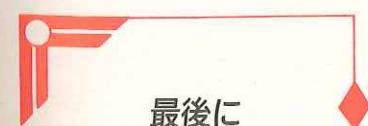
このトラブルを経験してから、新規に設計するフォト・カプラによるアイソレート入力回路には、最低限、プルアップ抵抗を付加するようにしています。



⑪LEDに並列に抵抗を入れる



⑬ベターな入力回路



すが、トラブルを生じたときの対策が簡単です。

きちんとしたクロストーク対策を行うには、信号線の1本1本がシールドされたケーブル、たとえば同軸ケーブルを用いるのが一番です。ツイスト・ペアになったケーブルでも効果があるでしょう。

しかし、これらを用いたとしても、インピーダンス・マッチングを行わないと完全な効果が発揮されません。

●第5章●

フォト・カプラの出力インターフェースに注意

下関憲行

出力していないのに出力が出る!?

その昔、日立製作所の8ビットCPU、6303R(6301のROMレスタイプ)を使った制御装置を製作したときです。CPU周りを含めて新規に設計した回路なので、ワンステップずつハードウェアの動作確認を行ってきました。

バス・ラインやアドレス・デコーダなどの、CPU周りのチェックが無事に終ったので、ROMに書いたテスト・プログラムを使って、I/O回路のテストを始めました。何点かの出力信号は、フォト・カプラを使ってアイソレートしています。CPU回路と外部回路を電気的に分離して、ノイズに強くするのが目的です。異常現象を経験したのは、このアイソレート回路をチェックしているときでした。

ここで使った汎用フォト・カプラに入っているシングル・トランジスタだけでは、ドライブ能力が不足するので、100mAクラスの小信号トランジスタを附加して、ダーリントン接続しています。この出力を使って、外部に設けられたランプやリレーを制御します。■が概略の回路です。

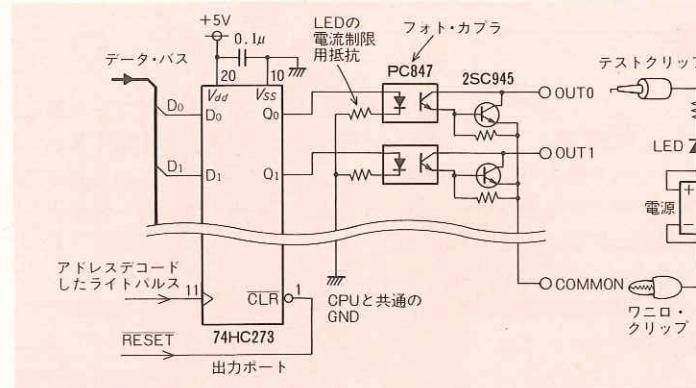
プリント基板の動作だけでなく、ケース内の配線も含めてチェックし

ていきました。入出力信号が集まっているリアパネルに取り付けられたコネクタで、最終的に出入りする信号を調べる必要があったからです。ソフトで、出力を1ビットずつON/OFFしながら、所定のピンに信号が出て来るかどうかの確認を、出力線が多くあったので、1ピンずつLEDを点灯させながらテストしていました。

テストは順調に進み、回路設計や配線に間違いは見つかりませんでした。コネクタに丸型の多芯ケーブル用のものが使われていたので、コネクタ中心部の配線に間違いが見つかれば、修正が大変です。外側の電線を外さなくては、中心部のはんだ付けができません。これもノーミスで、ひと安心といったところでした。

しかし、ここでおかしな現象に気が付きました。OFFしているはず

■アイソレート出力回路



のフォト・カプラの出力に、テスト用のLEDを触ると、一瞬ですがLEDが光るのです。一度光った後は、離したり触れたりしても光りません。

目中には分かりにくいうな弱い、微妙な光です。ちょうど、放電したコンデンサをつないだような感じです。

CMOS ICでは、その消費電流が余りに小さいため、ICの電源ピンの配線を忘れてしまっても、入出力ピンにつながっている回路から、保護ダイオードを通じて電源が供給されたようになるので、一見、正常に動作しているように見えることがあります。手組みの基板だけでなく、プリント・パターン化した基板でも、ちょっとした実装ミスで、ICの両端にある電源ピンがきちんとスルーホールに入らず、折れ曲がったまま

はんだディップされてしまうことがあります。

このような場合、高速動作している回路では異常を発見しやすいのですが、単純なゲートの場合、入力がある特定の論理になったときだけ誤動作すると、全入力が“L”になっておかしくなるという現象が現れます。この異常現象も、ICの電源周りのトラブルだろうと予想して、メータ式の単純なテスターで電源ピンの電圧をひと通り確認しましたが大丈夫です。プリント基板のパターンや信号ケーブルの配線を調べ直しても異常は見つかりません。電源周囲も正常です。

フォト・カプラに記憶が残る!?

原因不明です。自分自身の考えを整理する意味も含めて、同僚にトラブルの一部始終を説明しました。しかし、誰も経験していないようで、明確な答えが得られません。実際に現象を見せて「確かに光ってる」という驚きだけで、前へ進みません。

ともかく、現象を確認してみようということで、単発信号でも確實に波形を捉えてくれる、デジタル・オシロスコープを持ち出してきました。出力波形を見ると、間違いなくパルスが出ています。

次に、現象を単純化するため、いろいろなパターンを探ってみました。その結果は次のようになります。

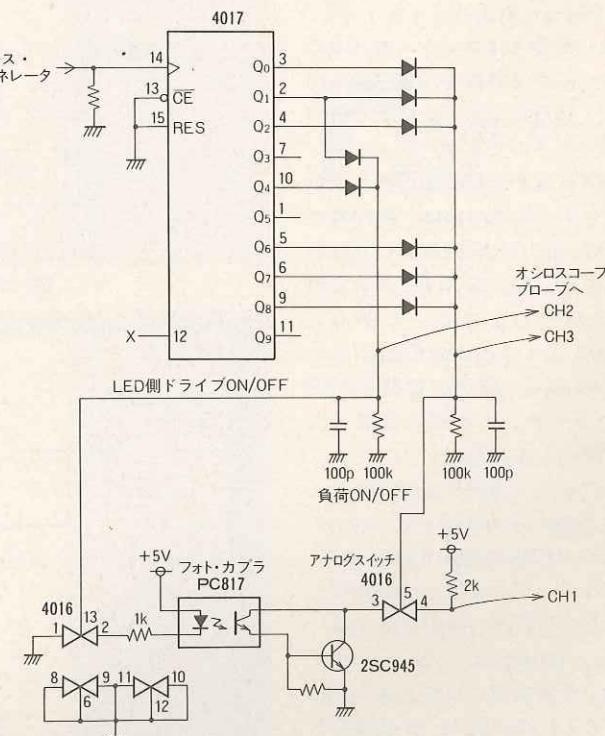
- ①電源投入による初期リセットや手動リセット時、出力回路は確実にリセットされており、異常パルスは出ない。
- ②当然だが、負荷をつないだままにしておくと正常にON/OFFされる。
- ③出力を一度もONしないまま、負荷を断続しても問題はない。
- ④負荷を外した状態で出力をON/OFF

し、OFFを保持した状態で負荷をつなぐと異常パルスが出る(これが問題!)。

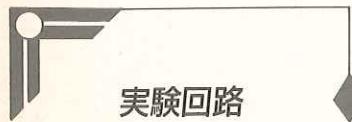
- ⑤1回異常パルスが出た後は、OFFを保持している限り、負荷を断続しても異常パルスは出ない。
- ⑥ON/OFFを行った後、負荷をつなぐまでの時間を長くすると、異常パルスは小さくなる。

- ⑦ダーリントン・トランジスタのベース～エミッタ間の抵抗を外すと、異常パルスの時間的な幅が長くなる。
- ⑧出力データを保持するラッチICや、フォト・カプラ・インターフェース周辺の配線にミスはない。
- ⑨電源が悪いのかと思い、CPU側の内部電源と出力側のアイソレート電源を別個にするのをやめて、共通のものを使っても異常パルスは治まらない。

■実験回路



う!?

**実験回路**

ともかく現象を確かめなければなりません。簡単なテスト回路を作って、できるだけ単純にして様子を見ることがあります。

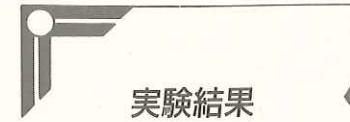
2がその回路です。CMOS 4000Bシリーズの4017というジョンソン・カウンタで、10ステップのタイミング・パルスを作ります。このパルスをダイオード・マトリクスで合成し、フォト・カプラの動作を決めることがあります。

フォト・カプラ1次側のLEDの点灯制御と、2次側トランジスタの負荷をコントロールするのには、CMOSのアナログ・スイッチ4016を使いました。負荷の制御を、チャタリングのない信号で行なったからです。

リレーを使えばフォト・カプラの出力につながる負荷を、電気的にだけでなく物理的にも完全に切り離すことができるのですが、チャタリングと応答速度の面で問題が残ります。4000Bシリーズの4016は、動作特性の1つであるON抵抗が少し大きいので、普通、電流をスイッチする用途には使用しません。しかし、OFF時のリーキ電流は相当小さいレベルなので、確実に負荷をOFFできそうです。この点に着眼して4016を使用しました。

3がフォト・カプラを制御するタイミングです。step1と4で、フォト・カプラのLEDに電流を流します。出力のトランジスタは、step0~2と6~8でしか負荷がつながりません。つまり、step4では、フォト・カプラの出力を無負荷にしてドライブしていることになります。この図の下段に記したのが、出力として表れて

欲しい波形です。

**実験結果**

実際に観測した波形を、デジタル・オシロスコープに取り込んで、プロットに描かせてみました。CH2がLEDを点灯するタイミング、CH3が出力に対する負荷接続のタイミングです。CH1が出力波形で、“L”アクティブの波形です。本来なら、step1にしか出力が表れないはずです。

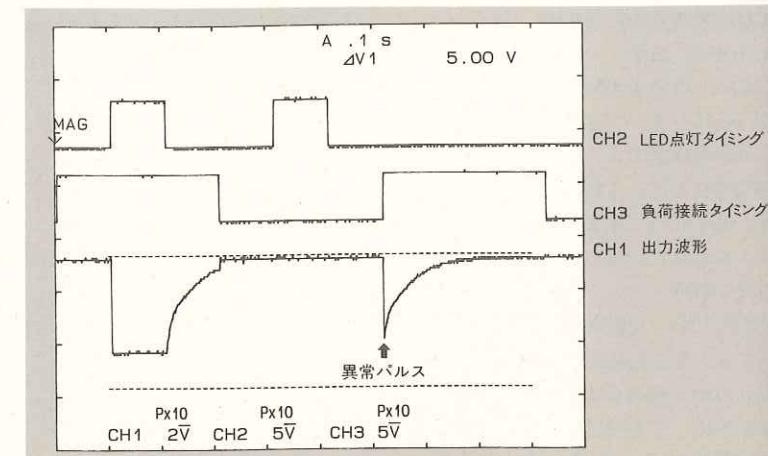
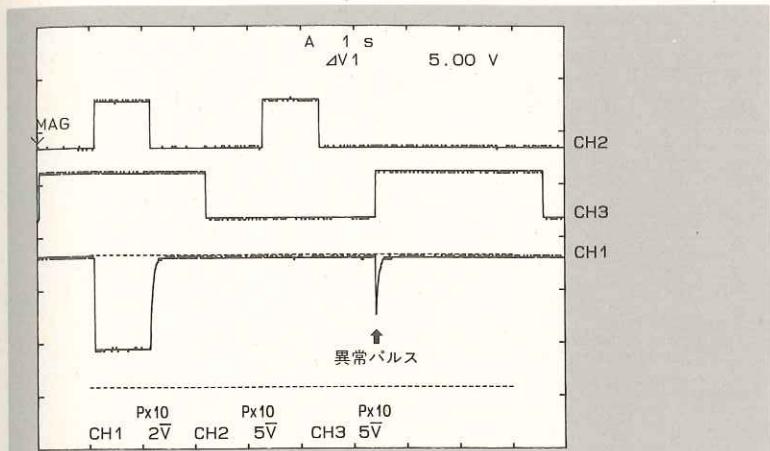
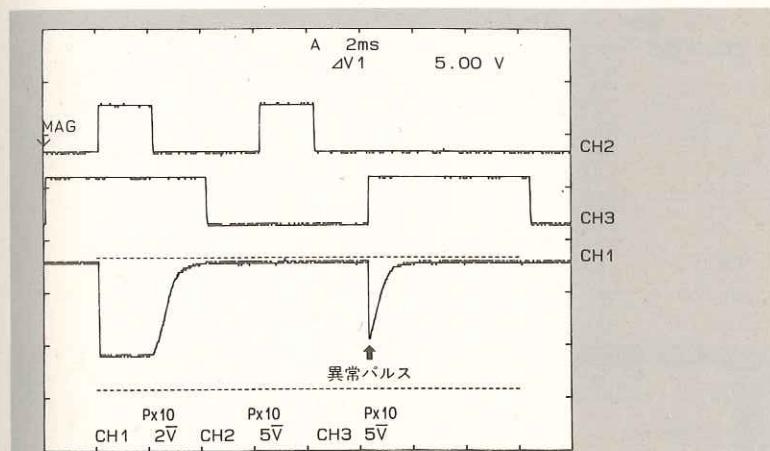
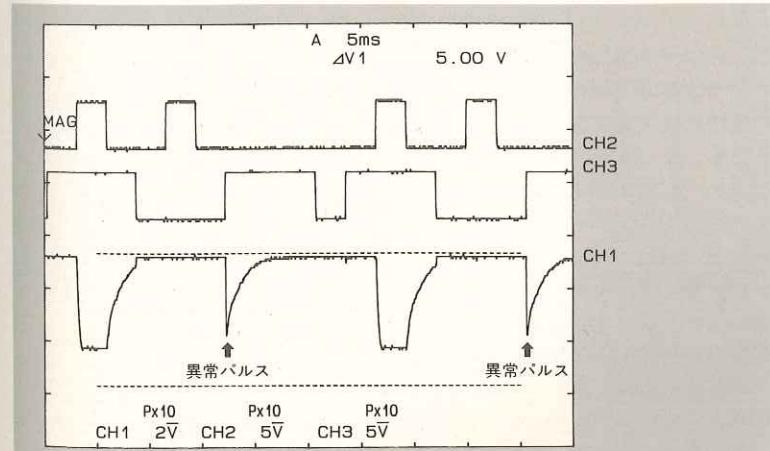
まずは極端な例からお見せしましょう。**4**を見て下さい。PC817に2SC945をダーリントン接続しています。ただし、ベース～エミッタ間に抵抗を入れていません。

step1での出力が随分と鈍っています。これは、付加したトランジスタのベース～エミッタ間に抵抗がない

いため、スイッチング速度が遅くなっているからです。しかし問題は、1次側のLEDをドライブしていない、step6のタイミングにも出力が表れていることです。私が経験した不思議な現象は、ここで出力されているパルスのようです。

同じ素子、同じ常数で、繰り返し周期を変えてみたのが**5**です。step4でLEDをドライブしてから、約1秒間の休止区間(step5)を置いても、しっかりと異常パルスが出ています。100ms近いパルスが出ていて、出力にLEDをつないでおくと、その点滅が確実に目に入ります。

次に、2SC945のベース～エミッタ間に10kΩの抵抗を入れてみます。**6**に示すように応答がかなり速くなります。短くなりましたが、それでも異常パルスは出ています。このぐらいまでパルスが細くなると、肉眼では分かりませんので、オシロス

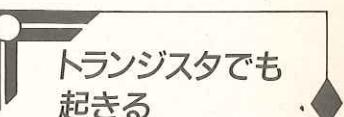
**4**PC817 + 2SC945(1step : 100ms)**5**PC817 + 2SC975(1step : 1sec)**6**PC817 + 2SC945 + 10kΩ**7**PS2002

copeなどを使うしか確認の方法はありません。

1つのパッケージの中にダーリントン・タイプのトランジスタが最初から組み込まれているフォト・カプラでは、どうなるのでしょうか。手元にあったNECのPS2002を使ってみました。結果は**7**で、やはり異常パルスがでています。外付けした小信号トランジスタとフォト・カプラの相性が悪いのかなと思っていたのですが、そうではないようです。

ここまで実験してみて、ふと思いつきました。なにもダーリントンにしなくても、シングル・トランジスタ出力のフォト・カプラだけでも、異常パルスが出るのではないか、という疑問です。

PC817単体で実験した結果が**8**です。パルス幅もレベルも随分小さくなりましたが、出力として見えています。ということは、この現象はフォト・カプラに固有のものなのでしょうか?



ここまで実験結果でも、同僚と一緒にになってあれやこれやと議論していましたのですが、そことんでもないアイデアが出てきました。ひょっとしたら、普通のトランジスタでも異常パルスが出るのではないかというのです。

さっそく実験しました。先ほどの回路を利用して**9**のようにトランジスタをつなぎました。**10**が2SC945単体の場合、**11**がダーリントン接続したときの波形です。

明らかに異常パルスが表れています。どうやらこの現象はフォト・カプラだけに限らず、ごく一般的なトランジスタでも起きるようです。

特にダーリントンにしたものは、

電流増幅率が大きくなり過ぎて不安定になっているのでしょうか、振動波形が伴っています。このときの実験では、ダーリントンのベース～エミッタ間に抵抗を入れなかったのも理由でしょう。

もっとも普通にトランジスタを使っている限り、ベース・ドライブを完全にオープンしてしまうということはあり得ません。ベース～エミッタ間、あるいはベース～GND間やベース～電源間に抵抗や他の素子を入れて、何らかのバイアス電流を流します。このような場合には、全く問題はないので、どうか心配しないで下さい。

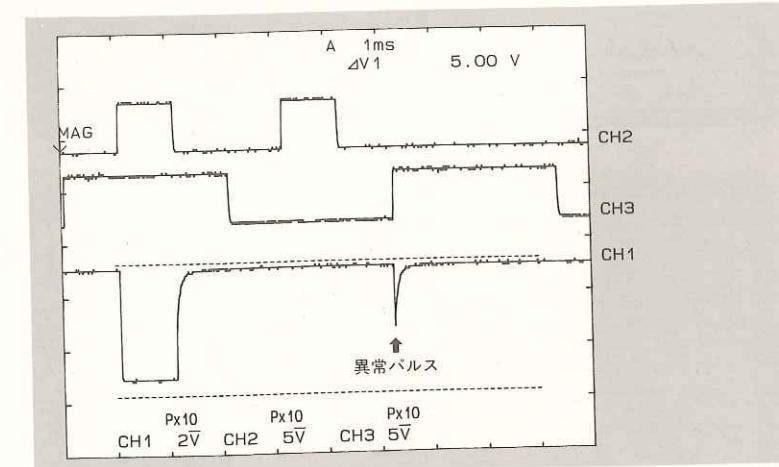
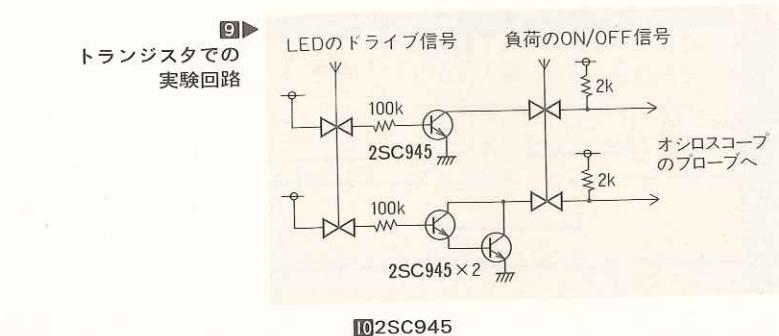
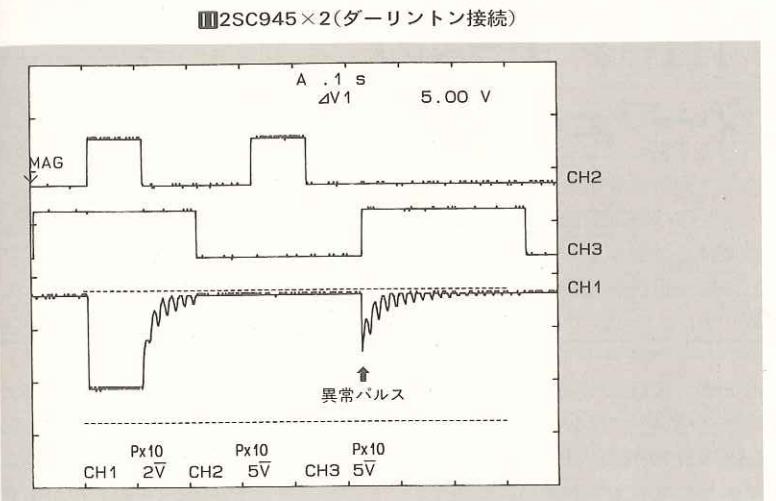
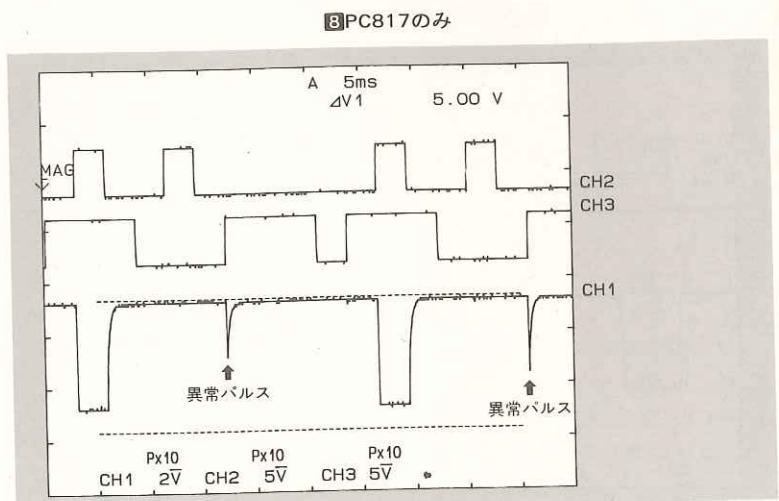
こんな場合には注意

さてこれらの実験の結果、現象として不要なパルスが出てしまうことが分かりました。出力回路の設計方法にもよりますが、最低でも数msのパルスが発生すると考えておかなくてはなりません。

この現象そのものは、出力回路の負荷が常に接続されているときは、何の不都合も生じないので心配する必要はありません。注意しなければならないのは、負荷が切り離される状態が存在する回路です。どのような場合が考えられるでしょうか。

図12を見て下さい。リレーを使ったシーケンス回路や、スイッチで手動・自動を切り替えるようなとき、このような回路を使いませんか？もし、リレーではなく、もっと応答の速い別のコントローラ（シーケンサやロジックICで構成した回路）で出力を受けていたら、異常パルスが伝わってしまうかもしれません。

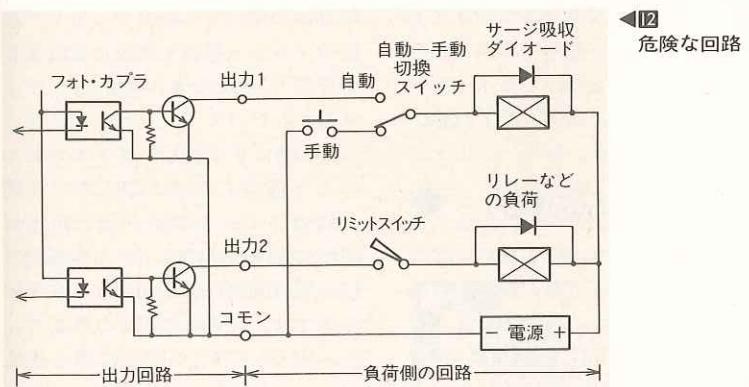
この異常信号によって、外部回路が自己保持してしまうとお手上げです。正規の信号との区別は、伝わ



たパルスの時間的な幅でしか判定できません。もし、十分なノイズ除去回路が受け側に備っていなかったら、装置の暴走を引き起こすかもしれません。

せん。

どうしても、出力をオープンにしてしまう場合は、負荷が外れているときには絶対にフォト・カプラをドライ



普しないように、出力回路側で対策しなくてはなりません。負荷がつながっていないということに関して、ロジック回路にせよソフトにせよ、出力制御を受け持っている部分には厳重なインターロックが必要です。

もともと、テストしていた装置は、オープンコレクタ出力として回路を設計していました。デバイスが許容する範囲の電圧、電流なら、ランプやLED、リレーなど、どんなものにもインターフェースしたかったのが理由です。

異常パルスを防ぐためという理由でも、常に何らかの負荷がつながるように、勝手に基板側で抵抗を入れたのです。

てしまうことはできません。相手側の電源電圧が何Vになるか、分からなければなりません。

出力信号のON/OFFをモニタするためのLEDを、逆流防止ダイオードと共に入れておくのも立派な負荷抵抗になるのですが、そうすると出力側にも逆流防止ダイオードが必要になってしまいます。

結局、この装置では「出力に接続する回路を外部で断続してはならない」という注意事項を設けて、装置側での積極的な対策は行いませんでした。接続先の外部回路の設計で、異常パルスの発生を避けるようにしました。

最後に

フォト・カプラに端を発したトラブルの原因を確かめているうち、バイポーラ素子の、それも一番基本となるトランジスタにも、同じような働きがあることに気が付きました。

トランジスタのスイッチング速度でよく問題になる、いわゆる「ベースの蓄積効果」（ベースにたまつた電荷のためターンオフ時間が長くなる現象）が原因なのでしょうか？ それとも、もっと複雑な電子物性的な要因があるのでしょうか？

ダイナミックRAMやCCDで実用されているように、MOSデバイスでは微小な電荷でも有意なデータを保持することができます。今回の現象が、この辺りの事柄と関係しているような気がしてなりません。

よろしければ、専門家のアドバイスをお願いしたいところです。

文献について

同じようなトラブルが載っている本はないものかと、技術雑誌のバックナンバーを探してみました。トランジスタ技術'85年12月号の特集「ハードウェア・トラブルの徹底解決法」に「ダーリントン・フォト・カプラの浮遊容量によるトラブル：高井純一」として、似たようなトラブルが報告されているのを見つけました。

フォト・カプラをドライブしていないにもかかわらず、出力につないだ負荷抵抗が変化することによっても出力に電流が流れる、つまり誤った出力が出てしまうことが、レポートされています。

このトラブルを経験したのが、私だけないことを知ってほっとしたような感じです。どうか、皆さんにも注意していただきたいと思います。

•第6章•

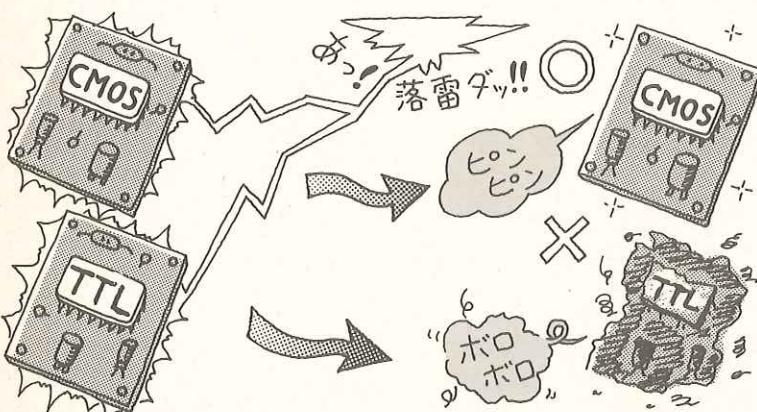
74HCシリーズのインターフェースに注意

下間憲行

安価になった 74HCシリーズ

少し前までは、CMOSのロジックICといえばRCA社とモトローラ社がオリジナル・メーカーである4000Bシリーズのことを指していました。しかし最近では、TTLとの互換性が考慮された74HCシリーズを使うことが多くなってきました。TTLで設計されていた部分を、CMOSが急速に侵食しているようです。

2年ほど前から特に品種が増えた74HCシリーズですが、一部にはTTLより安価なものがあるようです。590~597のラッチ付きカウンタやシフト・レジスタ、620~665のバス・トランシーバ、また、アドレス・ラインのデコードに使う688もLS-TTLに比べて安くなっているよ



うです。

マイクロコンピュータ自身のCMOS化が進み、周辺回路もこれに伴って低電力性が求められます。需要があれば生産数も多くなり、セカンド・ソース・メーカーも増えて来ると、当然ですが価格も下がるという図式なのでしょう。

CMOSの魅力

回路設計を行う際、CMOS ICの特徴の1つである低電力性が大きな魅力となります。TTLの大食いから比べると、同じ回路構成でも1/100程度に低減できるでしょう。ということは、消費電力が小さければそれだけ発熱量も少ないわけですから、部品を高密度に実装したとき冷却が簡単になります。

アマチュアにはその工作性の面であまり馴染みがありませんが、74HCシリーズの多くの品種で、ミニフラット・パッケージのものが用意されています。発熱が減らせるから部品が小型化できるのでしょう。最近のプリント基板で部品の表面実装が多くなったのも、CMOSデバイスのおかげです。

4000Bシリーズしか入手できなかった一昔前までは、CPUのバス周りにはスピードの点からCMOSは使用できませんでした。I/Oを受け持つ周辺回路にしか利用できなかったのです。それが74HCの登場で、バス周りのTTLが完全に置き換え可能になりました。

しかし、4000Bシリーズには動作電圧範囲が広いという特徴があります。昔の話ですがこんなことが身近でありました。

ある制御装置の電源部が、落雷によるサージでやられたとき、TTLで構成していたユニットのほとんどが潰れてしまったのに比べて、CMOSを使った基板のほとんどが生き残っていたのです。当時、基板に載った全部のICをCMOSで構成するという設計が珍しかったので、記憶に残っています。

CMOSといえば静電気に弱いデバイスという印象があるだけに、雷という強烈なパンチに打ち勝ったと知って、大いに驚きました。

電源が壊れて異常電圧が発生し、TTLの回路が先に昇天したこと、CMOS側の回路が保護されたのかかもしれません。いずれにせよ、動作電圧に対して余裕のある4000Bシリーズだから助かったのでしょう。

入力抵抗が高いのも回路構成に役立ちます。出力側のドライブ能力を気にしないで、多くの素子に信号を配分できます。TTLでは、どうしてもファン・イン/ファン・アウトに注意がいりますが、CMOSではほとんど無視できます。出力がほぼ電源電圧に等しい範囲でスwingするのも、設計上有利です。

しかし、デバイスの特性であるラッチ・アップに対する弱さだけは、気を付けなければなりません。仕事としてICを触り始めた頃、痛い目に遭いました。

ラッチ・アップ対策のことを何も考えずに、CMOSのアナログ・マルチプレクサ4051を使って設計した回路でした。4051の入力線を、回路が入ったケースから外に長く延ばしたため、モータやソレノイドが発するパルス性のノイズをまともに受けてしまい、いつも簡単にラッチ・アップが起こってしまったのです。このときは、初めての経験にラッチ・アップのメカニズムや対策方法が分からず、困り果てました。

74HCに対する不満

4000Bシリーズを駆逐する勢いの74HCシリーズですが、次のような点に不満があります。

一般的な74HCシリーズの動作電圧範囲は2V~6Vとなっています。下限側は4000Bシリーズより低いので、電池を電源として使う場合に最適なのですが、上限が6Vでは物足りません。4000Bシリーズからの移

行には不便です。

4000Bシリーズの回路を高速化しようとしたとき、少しでもICを速く動作させようと電源電圧を上げて、12Vあるいは15Vにして使うことがありました。速度が動作電圧に依存するCMOSならではの使い方です。

電源電圧範囲が広いという特徴は、アナログ回路が同居するときにも役に立ちました。±12Vや±15Vで動作するOPアンプやコンパレータなどのアナログ回路が混在したところでも、わざわざロジック用の+5Vを作らなくても済みます。このように、電源電圧を高くするとノイズ・マージンが上がるので、メカを制御するときなど、耐ノイズ性の面で有利になります。

もともと、74HCシリーズはTTLで設計された回路の置き換えが目的ですので、当然と言えば当然のことかもしれません。4000Bシリーズでできたことが74HCで設計できない場合があるのでままなりません。

4000Bシリーズ の高速化

ところで4000Bシリーズの中には、TTLにはないユニークなデバイスがあります。最近になってやっと、一部の品種がハイ・スピード化されました。まだ少数です。

"H"アクティブで動作するデバイスが多いのも4000Bシリーズの特徴です。"H"アクティブ出力のデコーダや、"H"レベルでリセット/セットできるフリップ・フロップです。

中でも、期待しているのが4500です。モトローラのオリジナル品なのでMC14500Bと呼ぶ方がよいでしょう。「Industrial Control Unit」と呼ばれる1ビットのマイクロプロセッサです。

1つだけでは何もできないチップ



ですので、プログラム・カウンタなどの周辺回路を附加しなければなりませんが、基本的な論理演算機能は装備されています。いくつかのICと組み合わせるだけで簡単にシーケンス・コントローラが設計できます。このチップとペアを組める4099や4599のアドレサブル・ラッチが、10MHzを超える速度で動くようになれば、今までにない高速なシーケンス・コントローラが作れます。

もともと、1MHzで動作させることができますので、1kステップのシーケンス・プログラムなら1msでループできます。4000Bシリーズで作っても、市販のシーケンサが備えていない高速性が得られるのです。

これが10倍に高速化できれば、シーケンサの分野でも「自作」品で対抗できます。高速版の4500が入手できるようになったら、ぜひ実験してみたいと思っています。

74HCのノイズ

74HCを使ってみて、今ひとつ気になるのがノイズです。74HCの「速い」という特徴が災いして、出力パルスのエッジはたいへん急峻です。また、電源ラインにもそのドライブ能力のせいでしょうか、大きなノイ

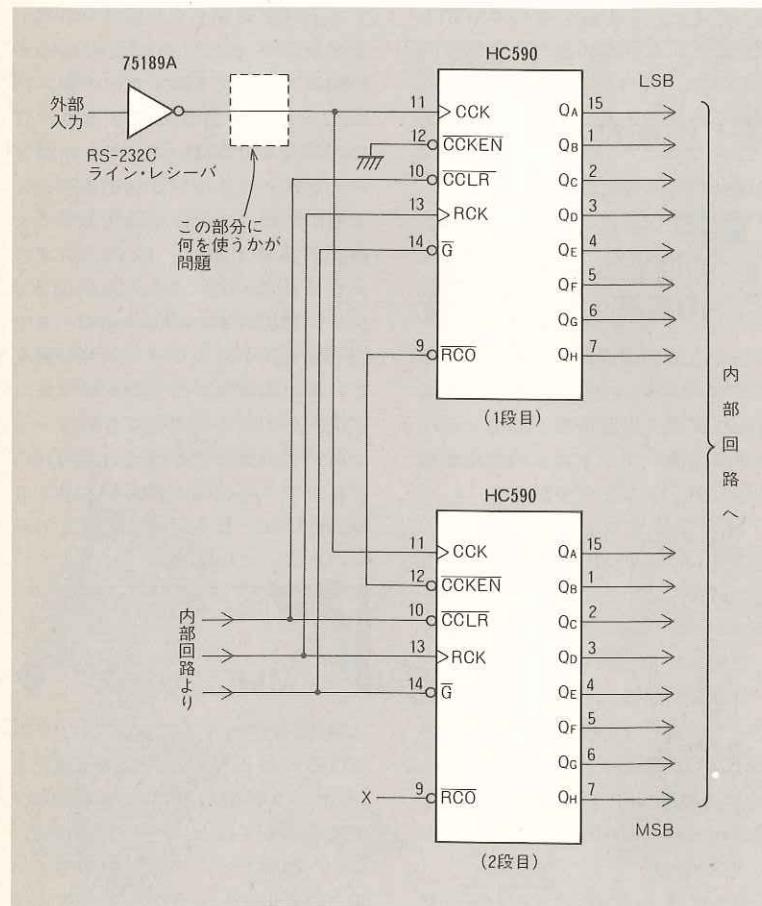
ズが表れます。

これらのノイズは、電源ラインに入れるバイパス・コンデンサの品種選択と、プリント・パターンの引き回し方法や基板そのものの多層化で、ある程度は軽減されます。

しかし、CPUのアクセスと同期している部分、たとえば、データ・バスのバッファICがつながっている近辺には、相当ひどいノイズが発生します。回路のタイミング設計にもよりますが、TTLで構成したものよりひどくなってしまうような気がします。

最近では、ラジオやテレビなどの、電波を利用して通信に対する雑音障害の規制が強くなっています。コン

■HC590のインターフェース



ピュータが発生するノイズを低減するため、ひと頃に比べてパソコンやその周辺機器のシールドが強化されているようです。

プリンタやキーボード、CRTの接続ケーブルにさえ、ノイズ低減用のフェライト・コアが入っているのを見かけます。コンピュータ自身のプリント基板にも、外部とやりとりする部分には、EMI対策用のパットがたくさん載っているのを見るようになりました。

機器を自作する場合、外来ノイズに対する自分自身のノイズ対策は行っていても、外へ出すノイズは意外と気にしないものです。一度、ご自分のコンピュータが動いているとき



に、FMラジオでも聞いてみてください。コンピュータがどれだけひどいノイズをばらまいているか、スペクトラム・アナライザがなくても自分の耳で体験できると思います。

4000Bと74HCを混ぜた回路

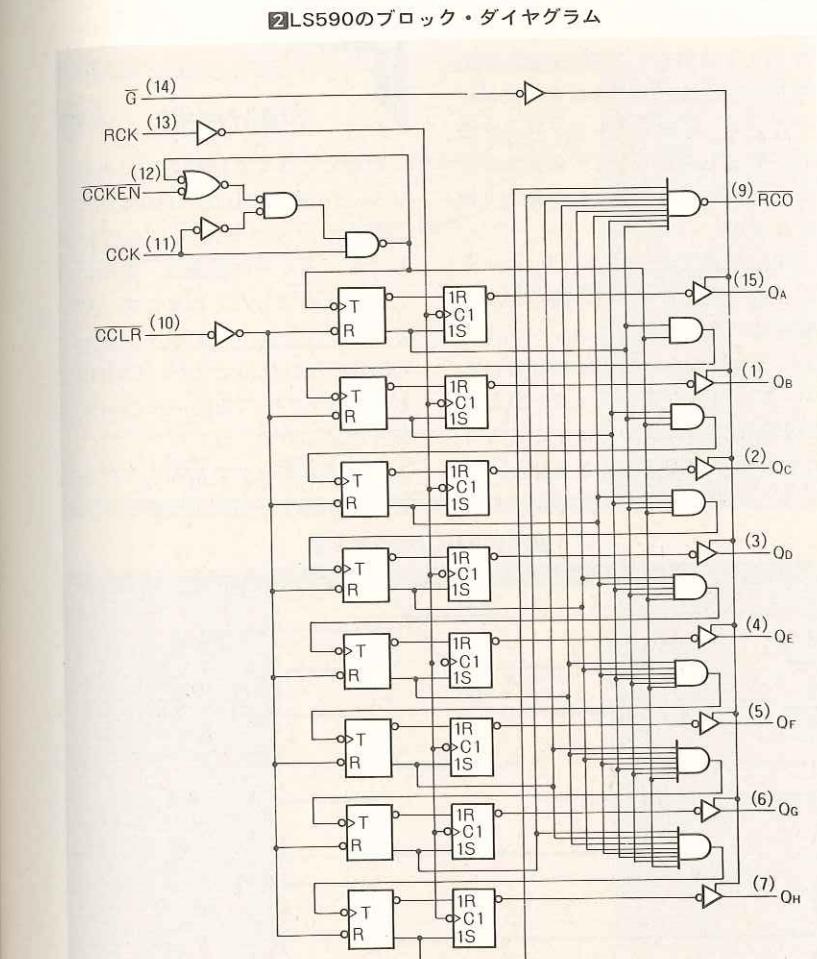
4000Bシリーズと74HCシリーズの両方を、20個ばかり使って回路設計したときです。両者のインターフェースはCMOS同士なので、TTLの出力とCMOSをつなぐときのように、ブルアップ抵抗を入れるなどの対策は必要ありません。

電源も+5Vしか使いませんので、3端子レギュレータを使って簡単に済ませますし、消費電流が少ないので、小さなヒートシンクを付けておけば熱設計の面でも簡単です。CMOSばかりの回路は、TTLのように $5V \pm 5\%$ というような小うるさい規定がないので、電源に関しては相当ラフに設計できます。

外部とのI/Oは、トランジスタ・アレイによるオープン・コレクタ出力と、±12Vで送られてくる入力信号です。この信号の入力インターフェースには、RS-232CのレシーバIC 75189Aを使いました。問題が起ったのは、この受け側回路でした。

この入力回路の一部分に、■のようにHC590、出力レジスタ付きの8ビット・バイナリ・カウンタを2段カスケードにして使っている個所がありました。

590をカスケードにつなぐには、それぞれのクロック入力を共通にし



②LS590のブロック・ダイヤグラム

ます。そして、1段目のリップル・キャリ出力を2段目のクロック・イネーブル入力につなぎます。3段目以降は、前段からのリップル・キャリをそれぞれ負論理でANDして、クロック・イネーブルとして用います。

よく言われることですが、このようなシンクロナス・カウンタを多段接続する場合、簡単だからといってリップル・キャリを次段のクロックとして使ってはいけません。

■に示すLS590の内部回路を見て分かるように、リップル・キャリ出力はそれぞれのカウンタ出力を単に

ANDしただけのものです。カウントの変化点では、グリッジの出る可能性があります。

ハードウェア技術者なら、この辺りのトラブルを大抵経験しているのではないか? 私もICに触れ始めた頃、何度も痛い目にあっていました。

74HCでの不安

さて590ですが、問題点に気が付いたのはプリント基板化する前に回路を試作したときです。ユニバーサ

ル基板を使って手はんだで製作しました。この回路を叩き台にして、不具合な点を見つけて行きます。

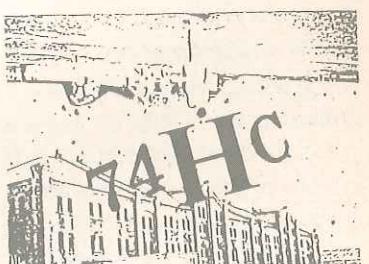
ICの総数が20個を超えるロジック回路では、正論理、負論理の勘違いやリップル・フロップのタイミング、回路の初期化の問題などの単純な設計ミスが、いくら注意していても出てきます。

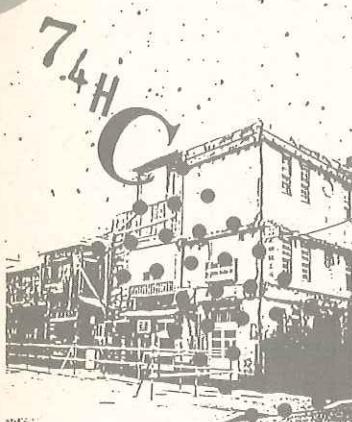
プリント基板をパターン化した後でこの種の問題が出ると、パターンを切ったりジャンパを張ったりで大変なのですが、試作基板ですので気楽に回路変更できます。配線を変えたり、ゲートICの組み合わせをいじったりして、どうにか設計目標通りの動作が行えるようになりました。

この後のことです。何気なくHC590のクロック入力とリップル・キャリ出力のタイミングを、オシロスコープで見ると「アララ」です。外部からのクロック入力信号を受けている75189Aの出力を、そのまま590の入力につないでいたのですが、波形を見て不安になってしまいました。

デジタル・オシロスコープで観測した実際の波形を見ていただきましょう。■のCH1が75189Aの入力信号で、1MHzのCMOS出力のパルス・ジェネレータでドライブしています。CH2がその出力で、HC590のクロック入力につながります。CH3と4がそれぞれ1段目と2段目の、HC590が出力するリップル・キャリです。

これを見る限り、きちんとカウン





トが行われているのですが、クロック入力の立ち上がりが74HCにとっては滑らか過ぎます。これではいつもミスカウントしても不思議ではありません。一応は正常に動作しているように見えるので、このまま目をつぶって回路変更なしで済ませたかったのですが、タイミングを知ってしまうとどうも不安です。

ご存じかと思いますが、75189Aの出力は抵抗でプルアップされただけのトランジスタです(本誌'89年12月号75ページに内部の等価回路が掲載されている)。ということは、出力波形の立ち上がりに時間がかかることになります。スペックを見ても、出力の“Rise Time”は175ns(3.9kΩを負荷にしたときのmax値)となっています。

この値は、TTLとのインターフェースには何ら支障はないのですが、ハイスピードCMOSのクロック入力に使うには、いさか不安であることに気が付きました。

75189Aの出力を抵抗でプルアップするのも解決方法になるのですが、注目しなければならないのが、HC590のクロックが2個のICに供給されていることと、それらが同期して動作していることです。

ここで、2つのICのクロック入力のスレッショルド・レベルが微妙に違うとどうなるでしょうか。クロックの入力波形が鈍っていると、2段

目のクロック・イネーブル入力とクロックとのタイミングにより、誤カウントの恐れが出てきます。先ほどのプロット図を見ても、クロック波形が滑らか過ぎて、どこにスレッショルド・レベルがあるのか見当も付きません。

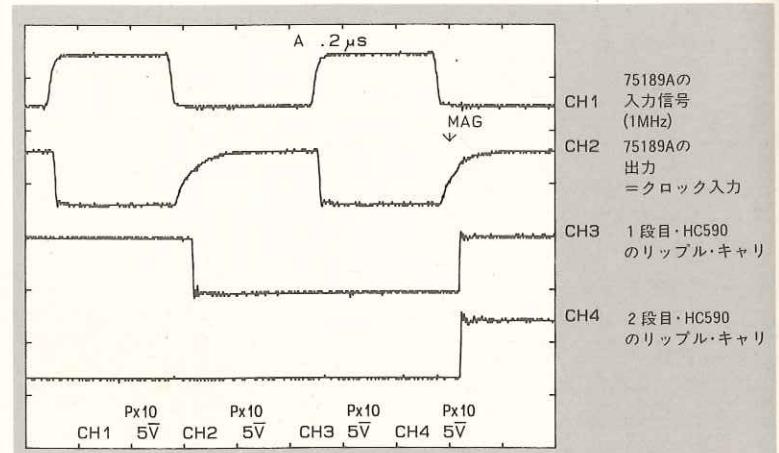
同じ型番であっても、ICメーカーごとの差や製造ロットの違いや周囲温度による影響で、スレッショルド・レベルは簡単に変わってしまいます。2つが全く同じレベルであるという確認があれば、気にすることはないのですが期待はできません。何らかの対策が必要です。

対策の失敗

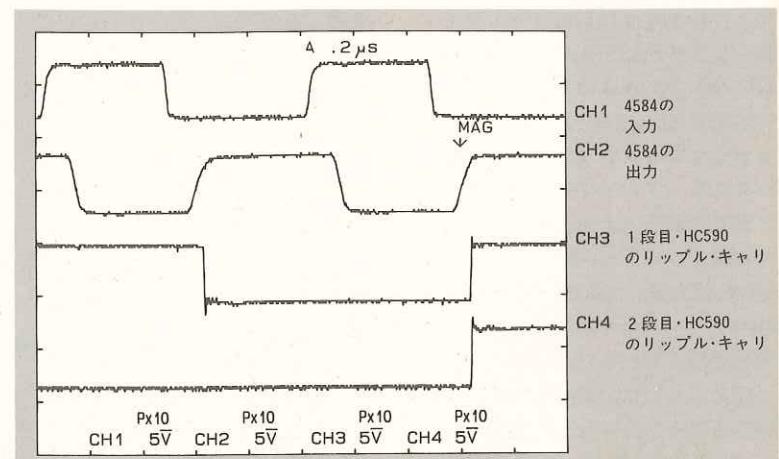
対策といっても悩む必要はありません。75189Aの出力と590の間に、CMOSのバッファを入れれば終わりです。ところが実際は、簡単にはいきませんでした。たまたま、空いていたシムット入力のインバータ4584Bを入れたのですが、CMOSでも4000Bシリーズを使ったのがまずかったようです。

オシロスコープでタイミングを見ると④のようになりました。だ

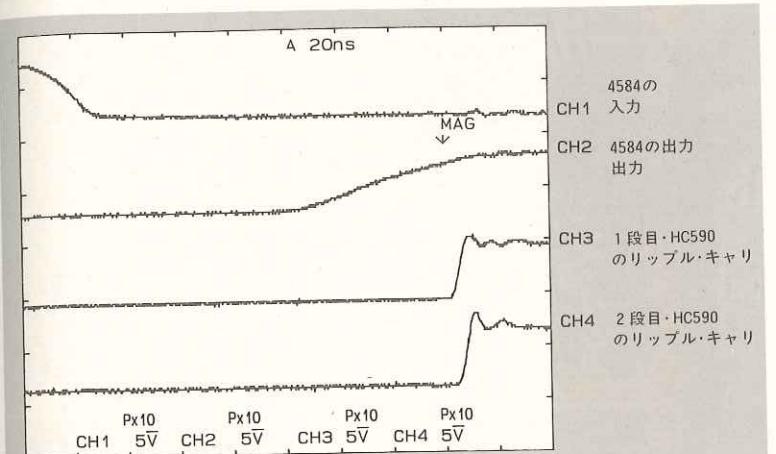
③75189Aによるクロック



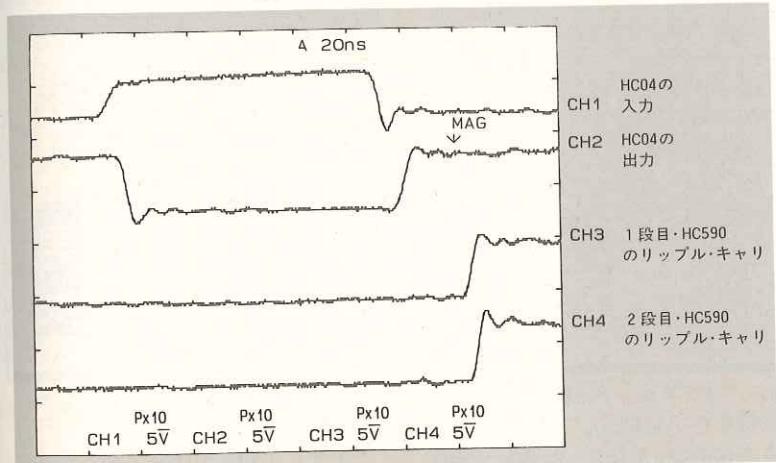
④4584によるクロック



⑤④のクロックを拡大



⑥HC04でクロックをドライブ



いぶ改善されますが、まだ不安が残ります。トリガ点をオシロスコープの最高スイープ・レンジで拡大したのが⑤です。

ここまで拡大すると、4000Bシリーズの立ち上がり/立ち下がり時間が74HCに比べてかなり遅いのがよく分かります。HC590は、この波形のどの部分をクロックとして認識しているのでしょうか。

590は2段とも誤動作していないので「よし」としたいところですが、同僚に相談したところ、「客観的に見てダメ」との結論です。結局は

ころに落し穴がありました。

とはいっても、心配しなければならないのはクロックが共通になった多段のシンクロナス・カウンタやシフト・レジスタだけです。単独で使われているICのクロック入力や、レベルで動作するファンクション入力、たとえば非同期のリセット端子やストローブ入力にインターフェースするには心配なさそうです。

ただ、単独のICであっても、4000Bから74HCへ接続しているクロックに関しては、5Vより低い電源電圧で使う場合は注意が必要です。74HCでは、クロック入力の立ち上がり/立ち下がり時間の最大を、500nsとしている場合が多いようです。電源電圧が低いと出力波形の鈍りがひどくなる4000Bとの接続は避けた方がよいのではないでしょうか。

4000Bだけではなく、オープン・コレクタ出力をプルアップしたものとのインターフェースも要注意です。一応、プルアップしたTTL出力とはOKしたいところです。しかし、プルアップ抵抗値の選択が難しい点です。

TTLとのインターフェースが考慮されたHCTタイプは品種が少ないのが実情で、全品種に対しては用意されていません。現在のところ、基本的なゲートとCPUのバス・インターフェース用ICでしか、HCTを利用できません。

さて、今回の経験は実際上のトラブルにまでは発展しませんでしたが、回路設計上の課題を残してくれました。

そもそも、4000Bと74HCをごっちゃにするという使い方に問題があるのかもしれません。また、これからは、同じ4000Bの型番であっても、ハイスピード化されたシリーズとは、使用に際して十分な注意が必要になってきそうです。

最後に

同じCMOSの仲間なので、相性がよいと思っていた4000Bシリーズと74HCシリーズですが、思わぬと